

(11)特許出願公開番号

特開2001-197502

(P2001-197502A)

(43)公開日 平成13年7月19日(2001.7.19)

(51) Int.Cl.?

識別記号

FI
H04N 7/137

テーマコード・(参考)

Z 5 C 0 5 9

審査請求 未請求 請求項の数 7 O.L (全 16 頁)

(21)出願番号 特願2000-5159(P2000-5159)

(22) 出願日 平成12年1月14日(2000. 1. 14)

(71) 出題人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 戸谷 亮介

神奈川県横浜市戸塚区吉田町292番地 デ
ジタルメディア開発本部内

(72)発明者 小味 弘典

神奈川県横浜市戸塚区吉田町292番地 デ
ジタルメディア開発本部内

(74) 代理人 100095913

弁理士 沼形 義彰 (外1名)

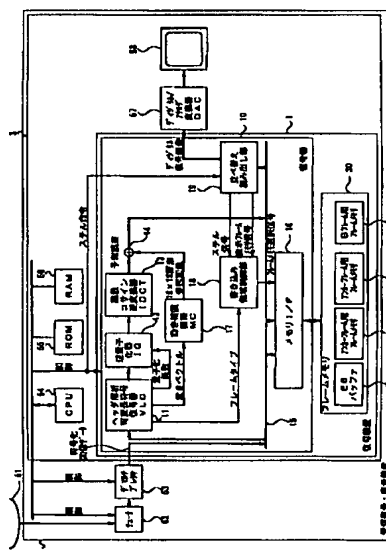
最終頁に続く

(54) 【発明の名称】 符号化画像の復号装置

(57) 【要約】

【課題】 MPEG2 画像のスタイル表示から通常復号動作に移行した場合、移行後の画像が正しく復号できる高効率符号化画像の封号装置を提供する。

【解決手段】 高効率符号化画像を復号する高効率符号化画像の復号手段１において、他の画像の復号の際の参照画像として用いる参照画像を格納する領域３１・１３１・２と、参照画像として用いない非参照画像を１枚格納する領域３２に分割されたメモリ手段３０と、復号画像の格納先を選択する書き込み領域制御手段１８と、前記メモリ手段に格納された画像データを復号順とは異なる表示順で読み出す並べ替え読み出し手段１９を有し、スチル表示命令時に前記メモリ手段に格納された画像のうち１枚をスチル表示する復号装置３において、非参照画像を読み出し中にスチル命令を受け取ると、復号された画像のうち参照画像のみを参照画像格納領域に格納し、非参照画像をメモリ手段に格納せずに破棄する。



【特許請求の範囲】

【請求項 1】 他の画像の復号の際の参照画像として用いる画像を 2 枚格納する参照画像格納領域と参照画像として用いない画像を 1 枚格納する非参照画像格納領域に分割されたメモリ手段を有し、高効率符号化画像データを復号し、画像表示装置へ復号画像を出力する高効率符号化画像の復号装置において、

前記メモリ手段に復号画像データを格納するにあたって、復号した画像を読み出し中にスチル命令を受け取ったときに、復号された画像のうち参照画像として用いる画像のみを前記メモリ手段内の参照画像格納用の領域に格納し、前記スチル命令を受け取った後に復号された参照画像として用いない画像を該メモリ手段に格納せずに破棄することを特徴とする高効率符号化画像の復号装置。

【請求項 2】 可変長復号手段と画像データ逆変換手段と動き補償手段と参照画像データの位置シフト手段となり、高効率符号化手段で符号化された画像データを復号し、画像表示装置へ復号画像を出力する手段であって、

復号画像データを格納するメモリ手段と、復号画像を該メモリ手段のどの領域に格納するかを選択する書き込み領域制御手段と、前記メモリ手段に格納された画像データを復号順とは異なる表示順で前記メモリ手段から読み出す並べ替え読み出し手段を有し、

前記メモリ手段は、他の画像の復号の際の参照画像として用いる画像を 2 枚格納する領域と、参照画像として用いない画像を 1 枚格納する領域に分割されており、

前記書き込み領域制御部は、複数の画像を前記メモリ手段に独立して格納する機能を有し、

前記並べ替え読み出し手段は、装置の内部あるいは外部からのスチル表示命令によって、前記メモリ手段に格納された画像のうち 1 枚をスチル表示する機能を有する復号装置において、

前記並べ替え読み出し手段が、他の画像の復号の際の参照画像として用いない画像を読み出し中にスチル命令を受け取ったときに、該並べ替え読み出し手段は、前記メモリ手段内でスチル表示する画像が格納された領域の情報を前記書き込み領域制御部に入力し、該書き込み領域制御部は、復号された画像のうち参照画像として用いる画像のみを前記メモリ手段内の参照画像格納用の領域に格納し、参照画像として用いない画像を該メモリ手段に格納せずに破棄することを特徴とする高効率符号化画像の復号装置。

【請求項 3】 請求項 2 に記載の高効率符号化画像の復号・表示装置において、さらに、前記並べ替え読み出し手段が、他の画像の復号の際の参照画像として用いる画像を読み出し中にスチル命令を受け取ったときに、該並べ替え読み出し手段は、前記メモリ手段内でスチル表示する画像が格納された領域の情報

を前記書き込み領域制御部に入力し、該書き込み領域制御部は、復号された画像のうち参照画像として用いる画像のみを、前記メモリ手段内の 2 枚分の参照画像格納用の領域のうち該並べ替え読み出し手段から入力された領域と異なる方の領域と、参照画像として用いない画像用の格納領域に格納し、参照画像として用いない画像を該メモリ手段に格納せずに破棄することを特徴とする高効率符号化画像の復号装置。

【請求項 4】 請求項 2 あるいは請求項 3 に記載の高効率符号化画像の復号装置において、さらに、

前記書き込み領域制御手段が、他の画像の復号の際の参照画像として用いる画像をスチル表示している時に、前記並べ替え読み出し手段から入力される、スチル表示している参照画像が格納されている領域の情報を保持しておき、スチル表示命令が解除された後は、情報を保持していた領域に参照画像として用いない画像を、それ以外の 2 枚の画像格納領域に参照画像として用いる画像を格納することを特徴とする高効率符号化画像の復号装置。

【請求項 5】 可変長復号手段と画像データ逆変換手段と動き補償手段と参照画像データの位置シフト手段となり、高効率符号化手段で符号化された画像データを復号し、画像表示装置へ復号画像を出力する手段であって、

復号画像データを格納するメモリ手段と、復号画像を該メモリ手段のどの領域に格納するかを選択する書き込み領域制御手段と、前記メモリ手段に格納された画像データを復号順とは異なる表示順で該メモリ手段から読み出す並べ替え読み出し手段を有し、

前記可変長復号手段は、符号化画像データの可変長復号の結果に基づき、符号化画像データから、他の画像の復号の際の参照画像として用いない画像の符号化データを検出する機能を有し、

前記メモリ手段は、他の画像の復号の際の参照画像として用いる画像を 2 枚格納する領域と、参照画像として用いない画像を 1 枚格納する領域に分割されており、前記書き込み領域制御部によって複数の画像を該メモリ手段に独立して格納する機能を有し、また前記並べ替え読み出し手段は装置の内部あるいは外部からのスチル表示命令によって、前記メモリ手段に格納された画像のうち 1 枚をスチル表示する機能を有する復号装置において、

前記並べ替え読み出し手段が、他の画像の復号の際の参照画像として用いない画像を読み出し中にスチル命令を受け取ったときに、前記可変長復号手段は、入力された可変長符号化画像データのうち、他の画像の復号の際の参照画像として用いない画像の符号化データを前記画像データ逆変換手段に送らずに破棄し、他の画像の復号の際の参照画像として用いる画像の符号化データのみを前記画像データ逆変換手段に送り、

前記並べ替え読み出し手段は、前記メモリ手段内でスチル表示する画像が格納された領域の情報を前記書き込み

領域制御部に入力し、該書き込み領域制御部は、復号された参照画像として用いる画像を前記メモリ手段内の参照画像格納用の領域に格納することを特徴とする高効率符号化画像の復号装置。

【請求項6】 請求項5に記載の高効率符号化画像の復号装置であって、さらに、

前記並べ替え読み出し手段が、他の画像の復号の際の参照画像として用いる画像を読み出し中にスチル命令を受け取ったときに、前記可変長復号手段は、入力された可変長符号化画像データのうち、他の画像の復号の際の参照画像として用いない画像の符号化データを前記画像データ逆変換手段に送らずに破棄し、他の画像の復号の際の参照画像として用いる画像の符号化データのみを該画像データ逆変換手段に送り、

前記並べ替え読み出し手段は、前記メモリ手段内でスチル表示する画像が格納された領域の情報を該書き込み領域制御部に入力し、該書き込み領域制御部は、復号された参照画像を、前記メモリ手段内の2枚分の参照画像格納用の領域のうち前記並べ替え読み出し手段から入力された領域と異なる領域と、参照画像として用いない画像用の格納領域に格納することを特徴とする高効率符号化画像の復号装置。

【請求項7】 請求項5あるいは請求項6に記載の高効率符号化画像の復号装置であって、さらに、

前記書き込み領域制御手段が、他の画像の復号の際の参照画像として用いる画像をスチル表示している時に、前記並べ替え読み出し手段から入力される、スチル表示している参照画像が格納されている領域の情報を保持しておき、スチル表示命令が解除された後は、情報を保持していた領域に参照画像として用いない画像を、それ以外の2枚の画像格納領域に参照画像として用いる画像を格納することを特徴とする高効率符号化画像の復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MPEG2規格など、高効率符号化手法に基づいて符号化された画像データを復号する高効率符号化画像復号手段、及び該復号データを表示させる同手段を搭載した符号化画像復号・表示装置に関する。

【0002】

【従来の技術】 画像データの伝送及び記録技術は、人間の情報活動の中でも大きな比重を占める技術である。近年、これらの技術として、画像データをデジタル化し、時間的・空間的冗長性などを除去してデータを圧縮符号化する高効率符号化技術が用いられるようになり、伝送あるいは記録に要するコストを低減することが図られている。このような符号化技術の一つとして、ISO/SC29/WG11で標準化されたMPEG2方式(ISO/IEC 31-2818-2)が知られている。MPEG2は各種デジタル衛星放送の高効率符号

化方式として、また大容量記録メディアであるDVD-ROMMPEG2あるいはDVD-RAMへ画像データを記録するための符号化方式として採用されており、デジタル画像伝送・記録のための高効率符号化技術の主流となりつつある。

【0003】 MPEG2方式に基づく画像符号化では、画像データはフレームと呼ばれる画像単位で処理される。一般に画像データは複数の画像を連続的に表示することで構成されており、MPEGではこの静止画一枚を1フレームとして扱うのが一般的である。フレームには3種類あり、他のフレームを参照画像として用いず、そのフレーム内の空間的冗長性のみを除去して符号化したIフレーム(IntraFrame)、表示順において過去にあるフレームを参照して予測値を導き、これを利用して空間的・時間的冗長性を除去して符号化したPフレーム(Predictive Frame)、そして表示順において過去にあたるフレームと未来にあたるフレームを参照してその平均から予測値を導き、これを利用して空間的・時間的冗長性を除去して符号化したBフレーム(Bidirectionally Predictive Frame)が存在する。Iフレーム及びPフレームは、他のPフレーム及びBフレームを復号する際の参照画像として用いる。IフレームおよびPフレームを併せてアンカーフレームと呼ぶ。

【0004】 Bフレームを符号化する際には、このBフレームを符号化する時点で過去のフレームによる参照画像と未来のフレームによる参照画像の両方が存在する必要があるため、参照画像となる過去のフレームと未来のフレームがBフレームに先立って符号化され、符号化データ列中に配置される。

【0005】 上記手法で符号化されたデータの復号・表示装置では、送られてきた符号化画像データを符号化された順番で復号する。この時、Bフレームを符号化する際に参照画像として用いられた過去と未来のフレームは、Bフレームを復号するためにも参照画像として必要になるため、Bフレームに先だって過去と未来の参照画像を復号する。すなわち、①過去のフレーム、②未来のフレーム、③その間のBフレームの順に復号する。しかしながら、これらのフレームは復号後、①過去のフレーム、②Bフレーム、③未来のフレームの順で表示する必要がある。このため、復号後のフレームの並べ替えが必要であり、このために復号・表示装置は復号画像を一旦メモリに格納する。

【0006】 前述の通り、アンカーフレームの復号画像データは、表示順でこの両フレームの間に存在するBフレームを復号するための参照画像として用いる必要がある。このため、該当Bフレームの復号が終了するまで、必ず2フレーム分のアンカーフレームの画像データをメモリ内に保持しておく必要がある。更に、画像データは1フレームを単位として符号化されているため、現行の

テレビジョン信号のように、1フレームがインタレースした2つのフィールドから構成されている場合、復号されたフレームの画像データをフィールドデータに変換しなければならない。したがって、復号されたBフレームについても、一旦メモリに格納する必要がある。

【0007】これらの画像格納メモリをフレームメモリと呼ぶ。

【0008】MPEG2においては、画像データはマクロブロックと呼ばれる単位に細分化され、このマクロブロックごとに符号化・復号化が行われる。4:2:0画像フォーマットの場合、マクロブロックは16画素(水平)×16画素(垂直)の輝度データと8×8の色差(CB・Crの2成分)で構成される。

【0009】図15にマクロブロックごとの画面間予測符号化について示す。図15(A)は符号化する符号化画像70Cを、図15(B)は符号化に使用する参照画像70Rを示している。マクロブロックごとに、符号化の基準となる参照画像70Rの中からもっとも予測誤差の少ない輝度16×16画素、CB8×8画素、Cr8×8画素の参照領域72を選択し、符号化画像70Cのマクロブロック71と参照領域72の画面内の相対ベクトルとその予測誤差を符号化する。この相対ベクトルを動きベクトル73という。復号の際は、フレームメモリ内の参照画像70Rから動きベクトルによって参照16×16画素(色差の場合は8×8画素)データを読み出し、これを予測誤差と加算してマクロブロック71を復号する。動きベクトル73と予測誤差からマクロブロックを復号することを動き補償という。

【0010】また、MPEG2の動き予測は半画素単位で行う。このため、半画素精度の動き補償を行う場合には、参照データとして17×17画素(色差の場合は9×9画素)のデータを読み出し、画素間の平均値を計算して16×16画素(または8×8画素)の参照データを得る。

【0011】MPEG2の符号化画像データの構造を図16に示す。符号化画像データは、階層化されており、上位から順にシーケンス層80、グループオブピクチャ(GOP)層81、ピクチャ層82、スライス層83、マクロブロック層84、ブロック層85に分かれている。シーケンス層80はシーケンスヘッダ80hと1つ以上のGOP層データ81dから成っている。同様に、GOP層81はGOPヘッダ81hと1つ以上のピクチャ層データ82dから、ピクチャ層82はピクチャヘッダ82hと1つ以上のスライス層データ83dから、スライス層83はスライスヘッダ83hと1つ以上のマクロブロック層データ84dから、マクロブロック層84はマクロブロックヘッダ84hと4つのブロック層データ85dから、ブロック層85はマクロブロックヘッダ85hと4つのブロック層データ86dから成っている。

【0012】各層のヘッダの構造を図17に示す。各ヘッダhはヘッダスタートコードh1とヘッダ本体h2から成っている。ヘッダスタートコードh1は各層ごとに固有の値を割り当てられており、復号器はこのスタートコードh1を取得することにより、続く符号化データがどの層のデータであるかを識別する。

【0013】図18にMPEG2方式による符号化画像放送の受信・復号及び表示装置の一般的な構成を示す。符号化画像放送の受信・復号・表示装置5は、MPEG2の復号手段を有する復号器10と、フレームメモリ手段30と、アンテナ51と、チューナ52と、デマルチプレクサ53と、CPU54と、ROM55と、RAM56と、デジタル/アナログ変換器(DAC)57と、表示装置58とから構成される。復号器10フレームメモリ手段30とで復号装置を形成している。

【0014】復号器10は、可変長符号復号器(VLD)11と、逆量子化器(IQ)12と、離散コサイン逆変換器(IDCT)13と、加算器14と、動き補償回路(MC)17と、書き込み領域制御部18と、並べ替え読み出し部19とを有して構成される。

【0015】フレームメモリ30は、アンカーフレーム用フレームメモリ領域31と、Bフレーム用フレームメモリ領域32とを有している。

【0016】アンテナ51で受信した放送電波からチューナ52でデジタル符号化データ列を復元し、デマルチプレクサ53で任意のチャンネルの符号化画像データを取り出して復号器10へ入力する。

【0017】復号器10では、入力された符号化画像データをまず可変長符号復号器(VLD)11で可変長復号する。これを逆量子化器(IQ)12で逆量子化した後、離散コサイン逆変換器(IDCT)13で離散コサイン逆変換処理を施し、マクロブロックの予測誤差を得る。同時に外部に接続されたフレームメモリ30内のアンカーフレーム用(参照画像用)フレームメモリ31-1、31-2から動きベクトルによって16×16画素の参照領域を読み出し、加算器14で加算することによってマクロブロックを復号する。得られた復号画像のうち、アンカーフレームについては書き込み領域制御部18が第1のアンカーフレーム用フレームメモリ31-1または第2のアンカーフレーム用フレームメモリ31-2へ交互に格納し、BフレームはBフレーム用フレームメモリ32へ格納する。並べ替え読み出し部19は、格納された画像を表示順に読み出し、表示用画像としてデジタル/アナログ変換器(D/Aコンバータ、DAC)57へ送り、D/A変換処理を施して表示装置58へ出力する。また、動き補償器(MC)17はアンカーフレームを参照用画像として読み出し、加算器14で他のフレームの予測誤差と加算する。これら各部の動作はCPU54によって制御される。

【0018】また、フレームメモリなどのメモリ手段3

0は、図18のように復号器10の外部に接続される形態が一般的である。

【0019】一般的なMPEG2符号化画像の復号装置は、画像のうち1枚を繰り返し表示するスチル表示機能を有している。スチル表示機能は主に以下のような役割を果たす。

【0020】1つ目は、画像のうち1枚のみを表示することである。2つ目は、画像の復号に失敗した場合、既に復号が完了している画像を繰り返し表示する事により、復号に失敗した画像を表示しないようにすることである。

【0021】1枚の画像のみを表示する場合の復号・表示装置の構成と表示処理手順の例を図19を用いて説明する。この復号・表示装置は、図18に示した復号・表示装置3と同様な構成を有しておりROMおよびRAMの表示を省略している。CPU54から並べ替え読み出し部19にスチル命令を発行すると、並べ替え読み出し部19は符号化順や表示順に関係なく、CPU54から指示された画像を第1のアンカーフレーム用フレームメモリ31-1、31-2、Bフレーム用フレームメモリ32のいずれかから繰り返し読み出す。これにより、画像の一時停止機能を実現する。

【0022】画像の復号に失敗した場合、既に復号が完了している画像を繰り返し表示する事により、復号に失敗した画像を表示しないようにする場合の復号・表示装置の構成と表示処理手順の例を図20を用いて説明する。この復号・表示装置3は、図18に示した復号・表示装置3にエラー検出部20を付加した点に特徴を有しており、CPUおよびROMならびにRAMの図示を省略している。復号を行う可変長符号復号器(VLD)11、逆量子化器(IQ)12、離散コサイン変換機(IDCT)31-2、動き補償回路(MC)17等で復号の失敗が起きた場合に、エラー検出部20がそれを検出し、並べ替え読み出し部19にスチル命令を送る。並べ替え読み出し部19は符号化順や表示順に関係なく、復号が既に完了している画像をアンカーフレーム用フレームメモリ31-1、31-2、Bフレーム用フレームメモリ32のいずれかから繰り返し読み出す。これにより、復号に成功した画像のみを表示する。その後、新たな画像の復号が正しく完了したときにエラー検出部20はスチル命令を解除し、並べ替え読み出し部19は画像を表示順に読み出す。

【0023】上記のスチル表示期間中は、新たな復号画像をスチル表示中の画像の格納領域へ上書きしてしまうことを避けるため、符号化画像の復号は停止しているのが一般的である。この間、復号器10に入力される符号化画像データは破棄される。このため、スチル表示から通常の動作に移行するときに、符号化画像の復号に必要な参照画像が第1のアンカーフレーム用フレームメモリ31-1、第2のアンカーフレーム用フレームメモリ3

1-2内に存在せず、通常動作に移行した後の画像が正しく復号できなくなってしまう。

【0024】スチル期間中も復号を止めないために、フレームメモリの数より多くフレームメモリ30内に設定する方法も考えられるが、フレームメモリ30の容量が増大し、システム全体のコストを押し上げることになってしまう。

【0025】

【発明が解決しようとする課題】本発明は、上記の問題を解決し、フレームメモリ30の容量を増大させることなく、スチル表示から通常の復号動作に移行した場合でも符号化画像を正しく復号する復号手段を提案する。

【0026】

【課題を解決するための手段】本発明で提案するMPEG2符号化画像の復号手段は、スチル表示期間中にも符号化画像の復号を続ける。並べ替え読み出し部19はスチル表示している画像が格納されたフレームメモリ30の情報を書き込み領域制御部18に入力する。書き込み領域制御部18は、スチル表示している画像が格納されているフレームメモリがBフレーム用フレームメモリの場合、復号したBフレームのデータをBフレーム用フレームメモリに格納せずに破棄し、アンカーフレームのみをアンカーフレーム用フレームメモリに格納する。また、スチル表示している画像が格納されているフレームメモリがアンカーフレーム用フレームメモリの場合には、復号したBフレームのデータをBフレーム用フレームメモリに格納せずに破棄し、アンカーフレームのみを、アンカーフレーム用フレームメモリのうちスチル表示しているフレームメモリとは異なる方のフレームメモリと、Bフレーム用フレームメモリに格納する。これにより、スチル表示する画像を損なうことなくアンカーフレームのみフレームメモリに格納し続け、スチル表示から通常の復号動作に移行した以後の画像も正しく復号することが可能になる。

【0027】

【発明の実施の形態】図1のブロック図を用いて、本発明の第一の実施の形態にかかる高効率符号化画像の復号装置1および復号・表示装置3ならびに受信・復号・表示装置5の構成を説明する。本実施形態は、入力をMPEG2符号化画像データ、出力をD/Aコンバータへ送るデジタル復号画像とする。復号処理に要するフレームメモリは復号器の外部に接続されている。

【0028】本実施形態は、Bフレームのスチル表示期間中に、復号した画像のうちアンカーフレームをアンカーフレーム用フレームメモリに格納し、Bフレームのデータはフレームメモリに格納せずに破棄することの特徴とする。

【0029】本発明にかかる受信・復号・表示装置5は、復号・表示装置3と、チューナ52と、デマルチプレクサ53とから構成される。復号・表示装置3は、高

効率符号化画像の復号装置1と、CPU54と、ROM55と、RAM56と、DAC57と、表示装置58から構成される。高効率符号化画像の復号装置1は、高効率符号化画像の復号器10とフレームメモリ30とから構成される。

【0030】復号器10は、ヘッダ解析・可変長符号復号器(VLD)11と、逆量子化器(IQ)12と、離散コサイン逆変換器(IDCT)13と、加算器14と、データバス15と、メモリ1/F8と、動き補償回路(MC)17と、書き込み領域制御部18と、並べ替え読み出し部19を有している。復号器10は、CPU54によって制御される。

【0031】フレームメモリ30は、アンカーフレームを格納するメモリ領域として構成される第1のアンカーフレーム用フレームメモリ31-1と、アンカーフレームを格納するメモリ領域として構成される第2のアンカーフレーム用フレームメモリ31-2と、Bフレームを格納するメモリ領域として構成されるBフレーム用フレームメモリ32と、符号化画像データを格納する領域として構成されるESバッファ33とを有している。

【0032】以下、この図を用いて高効率符号化画像の復号装置の構成を詳細に説明する。

【0033】図1において、デマルチプレクサ53からの符号化画像データが復号器10に入力される。符号化画像データは、データバス7、メモリ1/F8を介してフレームメモリ30へ転送され、ESバッファ21に格納される。ESバッファ21に格納された符号化画像データは再びメモリ1/F8によって読み出され、データバス7を介してヘッダの解析と可変長符号を復号するヘッダ解析・可変長符号復号器(VLD)11に転送される。

【0034】ヘッダ解析・可変長符号復号器(VLD)11は、符号化画像データを可変長復号し、復号で得られた離散コサイン変換係数からなる画像データを逆量子化器(IQ)12へ入力する。また、符号化画像データの各ヘッダから復号するマクロブロックの量子化係数や予測モード信号、動きベクトル、フレームのタイプ(IまたはPまたはB)を抽出し、逆量子化器(IQ)12、書き込み領域制御部18、動き補償回路(MC)17にサイド情報として入力する。

【0035】逆量子化器(IQ)12では、入力された離散コサイン変換係数の画像データが量子化係数に基づいて逆量子化処理され、離散コサイン逆変換機(IDCT)13に入力される。

【0036】離散コサイン逆変換機(IDCT)13では、画像データは逆コサイン変換処理を施され、これにより動き補償前の画像データ(予測誤差)が得られる。予測誤差は後述の処理により動き補償回路(MC)17により生成された参照データと加算器14で加算され、復号画像データが得られる。

【0037】書き込み領域制御部18は、フレームタイプとスチル信号および/または表示フレーム情報に基づき、復号画像を格納するフレームメモリを第1のアンカーフレーム用フレームメモリ31-1、第2のアンカーフレーム用フレームメモリ31-2、及びBフレーム用フレームメモリ32のなかから一つ選択し、選択したフレームメモリの信号をメモリ1/F8に入力する。

【0038】加算器14より得られた復号画像は、データバス7、メモリ1/F8を通じて、書き込み領域制御部18が選択したフレームメモリに格納される。

【0039】並べ替え読み出し部19は、第1のアンカーフレーム用フレームメモリ31-1、第2のアンカーフレーム用フレームメモリ31-2、及びBフレーム用フレームメモリ32に格納された復号画像を、メモリ1/F8、データバス7を介して表示順に読み出し、復号器の出力としてD/Aコンバータ(DAC)57へ出力する。また、並べ替え読み出し部19は、スチル表示期間中には、スチル表示中であることを示す信号(スチル信号)と、スチル表示しているフレームを示す信号(表示フレームメモリ信号)を書き込み領域制御部18に入力する。

【0040】加算器14へ供給される参照データは、動き補償回路(MC)17で以下のようにして生成される。

【0041】MPEG2においては、画像データはマクロブロック(MB)と呼ばれる単位に細分化され、MBごとに符号化・復号化が行われる。4:2:0画像フォーマットの場合、MBは16画素(水平)×16画素(垂直)の輝度データと8×8の色差(CB、Crの2成分)で構成される。

【0042】離散コサイン逆変換機(IDCT)13で得られた動き補償前の画像データは、サイド情報として最大で4つの動きベクトルを有している。この動きベクトルは動き補償回路(MC)17に送られ、動き補償回路(MC)17は第1のアンカーフレーム用フレームメモリ31-1、第2のアンカーフレーム用フレームメモリ31-2、Bフレーム用フレームメモリ32に格納された画像のうち、現在復号している画像の参照画像にあたる画像内の動きベクトルに対応した位置にある輝度成分16×16、CB成分8×8、Cr成分8×8の参照データを読み出す。これにより、動き補償回路(MC)17は、最大で4つのMB参照画像データ(輝度成分16×16、CB成分8×8、Cr成分8×8)をフレームメモリ30から得る。これらのMB参照画像データの平均を取り、得られた参照画像(輝度成分16×16、CB成分8×8、Cr成分8×8)を加算器14に入力する。

【0043】ここで、Bフレーム用フレームメモリ32内のBフレーム画像を表示中のある時点で、CPU54からスチル命令が並べ替え読み出し部19に入力された

とする。このとき、並べ替え読み出し部19は、その時点で表示していたBフレーム用フレームメモリ32内の画像を繰り返し読み出し、スチル表示を行う。同時に、スチル信号を“1”にし、スチル表示期間中であることを書き込み領域制御部18に通知する。また、表示フレームメモリ信号を出力し、スチル表示のためにBフレーム用フレームメモリ32を繰り返し表示しているという情報を書き込み領域制御部18に通知する。

【0044】図2に、スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応を示す。表示フレームメモリ信号は、Bフレーム用フレームメモリ32の画像をスチル表示する場合には値“2”をとる。

【0045】書き込み領域制御部18に入力されるフレームタイプと、スチル信号及び表示フレームメモリ信号と、出力するフレームメモリ選択信号の関係について図3に示す。スチル信号が“0”である時には、書き込み領域制御部18は、アンカーフレームを格納するときには第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2とを交互に選択し、Bフレームを格納するときにはBフレーム用フレームメモリ32を選択する。スチル信号が“1”、表示フレームメモリ信号が“2”である時には、書き込み領域制御部18は、アンカーフレームを格納するときには第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2とを交互に選択するが、Bフレームの場合には格納フレームメモリを選択しない。これにより、Bフレームのデータはフレームメモリに格納されずに破棄される。

【0046】これにより、Bフレームのスチル表示期間中もアンカーフレームは正しく復号されるため、スチル表示から通常動作に移行した後の画像も正しく復号できる。

【0047】図4は、本発明による高効率符号化画像の復号装置の第二の実施形態における、スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応を示す図である。また、図5は、本発明による高効率符号化画像の復号装置の第二の実施形態における、書き込み領域制御部18に入力されるフレームタイプ・スチル信号及び表示フレームメモリ信号と出力するフレームメモリ選択信号の関係について示した図である。

【0048】本実施形態は、アンカーフレームのスチル表示期間中に、復号した画像のうちアンカーフレームを、第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2のうちスチル表示している方とは異なる方のフレームメモリとBフレーム用フレームメモリ32に格納し、Bフレームのデータはフレームメモリに格納されずに破棄するこ

とを特徴とする。

【0049】また、本実施形態では、復号器10の構成は、並べ替え読み出し部19と書き込み領域制御部18以外は第一の実施形態と同様であるとする。

【0050】図4に示すように、並べ替え読み出し部19は、第1のアンカーフレーム用フレームメモリ31-1をスチル表示する場合は表示フレームメモリ信号として“0”を、アンカーフレーム用フレームメモリ第2のアンカーフレーム用フレームメモリ31-2をスチル表示する場合は表示フレームメモリ信号として“1”を書き込み領域制御部18に入力する。

【0051】図5に示すように、書き込み領域制御部18は、スチル信号が“0”である時には、アンカーフレームを格納するときには第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納するときにはBフレーム用フレームメモリ32を選択する。

【0052】スチル信号が“1”、表示フレームメモリ信号が“0”である時、アンカーフレームを格納する場合には、スチル表示している第1のアンカーフレーム用フレームメモリ31-1とは異なるアンカーフレーム用フレームメモリすなわち第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32を交互に選択するが、Bフレームの場合には格納フレームメモリをしない。これにより、アンカーフレームは第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32に格納され、Bフレームのデータはフレームメモリに格納されずに破棄される。

【0053】スチル信号が“1”、表示フレームメモリ信号が“1”である時、アンカーフレームを格納する場合には、スチル表示しているアンカーフレーム用フレームメモリ第2のアンカーフレーム用フレームメモリ31-2とは異なる第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32を交互に選択するが、Bフレームの場合には格納フレームメモリをしない。これにより、アンカーフレームは第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に格納され、Bフレームのデータはフレームメモリに格納されずに破棄される。

【0054】これにより、アンカーフレームのスチル表示期間中もアンカーフレームは正しく復号されるため、スチル表示から通常動作に移行した後の画像も正しく復号できる。

【0055】図6を用いて、本発明による高効率符号化画像の復号装置の第三の実施形態における、書き込み領域制御部18の構成を説明する。書き込み領域制御部18は、書き込み領域選択部181とスチル表示しているフレームメモリの情報を保持するレジスタ182とを有している。また、図7は、本発明による高効率符号化画

像の復号装置の第三の実施形態における、スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応を示す図である。

【0056】本実施形態は、スチル表示中も第一あるいは第二の実施形態によってアンカーフレームの復号を行った場合に、スチル表示から通常表示に移行後、スチル表示していたフレームメモリにBフレームを格納することを特徴とする。

【0057】また、本実施形態では、復号器10の構成は、並べ替え読み出し部19と書き込み領域制御部18以外は第一あるいは第二の実施形態と同様であるとする。

【0058】図7に示すように、並べ替え読み出し部19は、第1の第1のアンカーフレーム用フレームメモリ31-1をスチル表示する場合は表示フレームメモリ信号として“0”を、第2のアンカーフレーム用フレームメモリ31-2をスチル表示する場合は表示フレームメモリ信号として“1”を、Bフレーム用フレームメモリ32をスチル表示する場合は表示フレームメモリ信号として“2”を書き込み領域制御部18に入力する。

【0059】図6に示した書き込み領域制御部18のレジスタ182は、スチル表示中に並べ替え読み出し部19から入力される表示フレームメモリ信号の値を保持する。保持した値は、スチル表示から通常表示に移行したときに、書き込み領域選択部181へ入力する。

【0060】図8に、書き込み領域選択部181に入力されるフレームタイプ、スチル信号、表示フレームメモリ信号及びレジスタ182の値と、出力するフレームメモリ選択信号の関係を示す。

【0061】スチル信号が“0”でレジスタ102の値が“0”である時には、直前にスチル表示していたフレームメモリが第1のアンカーフレーム用フレームメモリ31-1であったことを示す。このとき、書き込み領域選択部18は、アンカーフレームを格納する領域として第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32を交互に選択し、Bフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1を選択する。同様に、スチル信号が“0”レジスタ182の値が“1”である時には、アンカーフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納する領域として第2のアンカーフレーム用フレームメモリ31-2を選択し、スチル信号が“0”でレジスタ182の値が“2”である時には、アンカーフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納する領域としてBフレーム用フレームメモリ32を選択する。

【0062】また、スチル信号が“1”で表示フレーム

メモリ信号が“0”の時は、書き込み領域選択部181はアンカーフレームを第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32に交互に格納し、Bフレームは格納せずに破棄する。同様に、スチル信号が“1”で表示フレームメモリ信号が“1”の時は、書き込み領域選択部181はアンカーフレームを第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納してBフレームは格納せずに破棄し、スチル信号が“1”で表示フレームメモリ信号が“2”の時は、書き込み領域選択部181はアンカーフレームを第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2に交互に格納してBフレームは格納せずに破棄する。この動作は第一あるいは第二の実施形態と同様である。

【0063】これにより、第一あるいは第二の実施形態によってスチル表示期間中もアンカーフレームを正しく復号した場合に、スチル表示から通常動作に移行した後の画像も正しく復号できる。

【0064】図9を用いて、本発明の第四の実施形態にかかる高効率符号化画像の復号装置1および復号・表示装置3ならびに受信・復号・表示装置5の構成を説明する。本実施形態は、入力をMPEG2符号化画像データ、出力をD/Aコンバータへ送るデジタル復号画像とする。復号処理に要するメモリは復号器の外部に接続されている。

【0065】本実施形態は、Bフレームのスチル表示期間中に、入力符号化画像データのうちBフレームの符号化データを破棄し、アンカーフレームのみ復号してアンカーフレーム用フレームメモリに格納することを特徴とする。

【0066】本実施形態では、並べ替え読み出し部19から出力されるスチル表示信号が、ヘッダ解析・可変長符号復号器(VLD)11にも入力されるとともに、ヘッダ解析・可変長符号復号器(VLD)11の構成が変更された点に特徴を有しており、その他の点は図1に示した装置とほぼ同様の構成を有している。

【0067】図10に本実施形態におけるヘッダ解析・可変長符号復号器(VLD)11の構成を示す。ヘッダ解析・可変長符号復号器(VLD)11は、ヘッダのスタートコード検出部111と、ヘッダ解析部112と、可変長復号部113を有して構成される。

【0068】スタートコード検出部111は、符号化データ中のヘッダのスタートコードを検出し、続くヘッダ及び符号化データがMPEG2の符号化画像のどの層のものであるかを識別する。ヘッダ解析部112は、スタートコード検出部111からデータの層情報を受け取り、スタートコードに続くヘッダを層情報に基づいて解析する。可変長復号部113は、スタートコード検出部111から層情報を、ヘッダ解析部112からフレーム

タイプなどのヘッダ情報を受け取り、ヘッダに続く符号化データを可変長復号する。

【0069】ここで、Bフレーム用フレームメモリ32内のBフレーム画像を表示中のある時点で、CPU54からスチル命令が並べ替え読み出し部19に入力されたとする。このとき、並べ替え読み出し部19は、その時点で表示していたBフレーム用フレームメモリ32内の画像を繰り返し読み出し、スチル表示を行う。同時に、スチル信号を“1”にし、スチル表示期間中であることを可変長復号部113と書き込み領域制御部18に通知する。また、表示フレームメモリ信号を出力し、スチル表示のためにBフレーム用フレームメモリ32を繰り返し表示しているという情報を書き込み領域制御部18に通知する。

【0070】スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応は、第一の実施形態と同様に図2で表される。表示フレームメモリ信号は、Bフレーム用フレームメモリ32の画像をスチル表示する場合には値“2”をとる。

【0071】図11に、可変長復号部113の動作を定めた状態遷移図を示す。図中の矢印は各状態の遷移条件を、楕円内は各状態での可変長復号部113の動作を示す。

【0072】まずスタートコード検出部111からシーケンスヘッダスタートコードの検出が通知され、シーケンス層を復号する。次にGOPヘッダスタートコードの検出が通知され、GOP層を復号する。

【0073】その後、ピクチャヘッダスタートコードの検出が通知されたとき、可変長復号部113は並べ替え読み出し部19から入力されるスチル信号をチェックする。スチル信号が“0”の時は、可変長復号部113は通常通りピクチャ層以下の復号を行う。その後、シーケンス、GOP、ピクチャヘッダの検出通知があったときに、次のシーケンス層、GOP層、ピクチャ層の復号に移る。

【0074】ピクチャヘッダスタートコードの検出時にスチル信号が“1”の場合は、さらにヘッダ解析部112から入力されるフレームタイプをチェックする。フレームタイプがアンカーフレーム(IまたはPフレーム)であれば通常の復号を行うが、フレームタイプがBフレームだった場合には、次にスタートコード検出部111からシーケンスヘッダ、GOPヘッダ、ピクチャヘッダのいずれかのスタートコードの検出が通知されるまで、符号化画像データを可変長復号せずに破棄する。これにより、スチル表示時には、アンカーフレームの可変長復号データのみが逆量子化器(IQ)12に送られ、Bフレームの符号化データは破棄される。

【0075】書き込み領域制御部18に入力されるフレームタイプ、スチル信号及び表示フレームメモリ信号

と、出力するフレームメモリ選択信号の関係について図12に示す。スチル信号が“0”ある時には、書き込み領域制御部18は、アンカーフレームを格納するときには第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納するときにはBフレーム用フレームメモリ32を選択する。スチル信号が“1”、表示フレームメモリ信号が“2”である時には、書き込み領域制御部18は、復号したアンカーフレームを格納領域として第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択する。Bフレームは復号されずに可変長復号部113で破棄されているため、図12ではスチル表示時にBフレームを格納する領域については定義されていない。

【0076】これにより、Bフレームのスチル表示期間中もアンカーフレームは正しく復号されるため、スチル表示から通常動作に移行した後の画像も正しく復号できる。さらに、ヘッダ解析・可変長符号復号器111は、スチル信号がBフレーム画像を表示中のある時点で、CPU54からスチル命令が並べ替え読み出し部19に入力されたとき、スチル信号を“1”が可変長復号部113に入力されるので、Bフレームを復号する処理を行わないので、Bフレームについて逆量子化器(IQ)12、離散コサイン逆変換機(IDTC)13で復号化処理を行う必要がなくなり、CPU54の負担を軽減することができる。

【0077】図13は、本発明による高効率符号化画像の復号装置の第五の実施形態における、書き込み領域制御部18に入力されるフレームタイプおよびスチル信号ならびに表示フレームメモリ信号と、出力するフレームメモリ選択信号の関係について示した図である。

【0078】本実施形態は、アンカーフレームのスチル表示期間中に、復号した画像のうちアンカーフレームを、アンカーフレーム用フレームメモリのうちスチル表示している方とは異なる方のフレームメモリとBフレーム用フレームメモリに格納し、Bフレームのデータはフレームメモリに格納せずに破棄することとを特徴とする。

【0079】本実施形態では、スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応は、第二の実施形態と同様に図4で示されるものとする。

【0080】また、本実施形態では、復号器10の構成は、並べ替え読み出し部19と書き込み領域制御部18以外は第四の実施形態と同様であるとする。

【0081】図4に示すように、並べ替え読み出し部19は、第1のアンカーフレーム用フレームメモリ31-1をスチル表示する場合は表示フレームメモリ信号として“0”を、第2のアンカーフレーム用フレームメモリ31-2をスチル表示する場合は表示フレームメモリ信

号として“1”を書き込み領域制御部18に入力する。

【0082】図13に示すように、書き込み領域制御部18は、スチル信号が“0”である時には、アンカーフレームを格納するときには第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納するときにはBフレーム用フレームメモリ32を選択する。

【0083】スチル信号が“1”、表示フレームメモリ信号が“0”である時、復号したアンカーフレームを、スチル表示している第1のアンカーフレーム用フレームメモリ31-1とは異なる第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32を交互に格納する。スチル信号が“1”、表示フレームメモリ信号が“1”である時、復号したアンカーフレームを、スチル表示している第2のアンカーフレーム用フレームメモリ31-2とは異なる第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32を交互に格納する。どちらの場合も、Bフレームは復号されず可変長復号部113で破棄されているため、図13ではスチル表示時にBフレームを格納する領域については定義されていない。

【0084】これにより、アンカーフレームのスチル表示期間中もアンカーフレームは正しく復号されるため、スチル表示から通常動作に移行した後の画像も正しく復号できる。

【0085】本発明における第六の実施形態において、復号器10の構成は第四の実施形態と同様、図9で表される。また、書き込み領域制御部18の構成は第三の実施形態と同様、図6で表されるものとする。

【0086】本実施形態は、スチル表示中も第三あるいは第四の実施形態によってアンカーフレームの復号を行った場合に、スチル表示から通常表示に移行後、スチル表示していたフレームメモリにBフレームを格納することと特徴とする。

【0087】また、本実施形態では、並べ替え読み出し部19と書き込み領域制御部18の構成以外は第四あるいは第五の実施形態と同様であるとする。

【0088】本実施形態における、スチル表示するフレームメモリと、並べ替え読み出し部19が出力する表示フレームメモリ信号の値の対応は、第三の実施形態と同様、図7で表される。

【0089】図7に示すように、並べ替え読み出し部19は、第1のアンカーフレーム用フレームメモリ31-1をスチル表示する場合は表示フレームメモリ信号として“0”を、第2のアンカーフレーム用フレームメモリ31-2をスチル表示する場合は表示フレームメモリ信号として“1”を、Bフレーム用フレームメモリ32をスチル表示する場合は表示フレームメモリ信号として“2”を書き込み領域制御部18に入力する。

【0090】図14に、書き込み領域選択部181に入力されるフレームタイプ・スチル信号・表示フレームメモリ信号及びレジスタ182の値と、出力するフレームメモリ選択信号の関係を示す。スチル信号が“0”でレジスタ182の値が“0”である時には、直前にスチル表示していたフレームメモリが第1のアンカーフレーム用フレームメモリ31-1であったことを示す。このとき、書き込み領域選択部181は、アンカーフレームを格納する領域として第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32を交互に選択し、Bフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1を選択する。

【0091】同様に、スチル信号が“0”でレジスタ182の値が“1”である時には、アンカーフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32を交互に選択し、Bフレームを格納する領域として第2のアンカーフレーム用フレームメモリ31-2を選択し、スチル信号が“0”でレジスタ182の値が“2”である時には、アンカーフレームを格納する領域として第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2を交互に選択し、Bフレームを格納する領域としてBフレーム用フレームメモリ32を選択する。

【0092】また、スチル信号が“1”で表示フレームメモリ信号が“0”の時は、書き込み領域選択部181はアンカーフレームを第2のアンカーフレーム用フレームメモリ31-2とBフレーム用フレームメモリ32に交互に格納する。同様に、スチル信号が“1”で表示フレームメモリ信号が“1”の時は、書き込み領域選択部181はアンカーフレームを第1のアンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納し、スチル信号が“1”で表示フレームメモリ信号が“2”の時は、書き込み領域選択部181はアンカーフレームを第1のアンカーフレーム用フレームメモリ31-1と第2のアンカーフレーム用フレームメモリ31-2に交互に格納する。

【0093】いずれの場合も、Bフレームは復号されず可変長復号部113で破棄されているため、図14ではスチル表示時にBフレームを格納する領域については定義されていない。この動作は第四あるいは第五の実施形態と同様である。

【0094】これにより、第四あるいは第五の実施形態によってスチル表示期間中もアンカーフレームを正しく復号した場合に、スチル表示から通常動作に移行した後の画像も正しく復号できる。

【0095】上記の各実施形態では、外部のCPU54からの命令でスチル表示を行う場合を示したが、復号の失敗を内部で検出してスチル表示を行う場合でも本発明は有効である。

【0096】追記すれば、本発明はMPEG-4規格にて提案されているところのプロテクトコンテンツを受信し、デコードして表示する場合にも有効である。期間限定の視聴権を有する符号化ストリームに対して通常の動画表示、コマ落し表示（例えばBフレームのスキップ）およびスチル表示などを時間的に切り替えることが要求される場合、スチル表示中もIフレームおよびPフレームのみ復号を続けることにより通常の動画表示への移行が正しく行える。

【0097】

【発明の効果】本発明により、以下のような効果が得られる。

【0098】スチル表示中もIフレームおよびPフレームのみ復号を続けることにより、フレームメモリ30の容量を増やすことなく、スチルから通常動作に移行した後の画像を正しく復号する事が可能になる。

【図面の簡単な説明】

【図1】発明の第一の実施形態の構成を示すブロック図。

【図2】発明の第一の実施形態における、スチル表示時の表示フレームメモリ信号の値を示す図表。

【図3】発明の第一の実施形態における、スチル表示時の書き込み領域制御を示す図表。

【図4】発明の第二の実施形態における、スチル表示時の表示フレームメモリ信号の値を示す図表。

【図5】発明の第二の実施形態における、スチル表示時の書き込み領域制御を示す図表。

【図6】発明の第三の実施形態における、書き込み領域制御部18の構成を示すブロック図。

【図7】発明の第三の実施形態における、スチル表示時の表示フレームメモリ信号の値を示す図表。

【図8】発明の第二の実施形態における、通常動作時及びスチル表示時の書き込み領域制御を示す図表。

【図9】発明の第四の実施形態の構成を示すブロック図。

【図10】発明の第四の実施形態における、ヘッダ解析・可変長符号復号器(VLD)11の構成を示すブロック図。

【図11】発明の第四の実施形態における、可変長復号部303の動作を示す状態遷移図。

【図12】発明の第四の実施形態における、スチル表示時の書き込み領域制御を示す図表。

【図13】発明の第五の実施形態における、スチル表示時の書き込み領域制御を示す図表。

【図14】発明の第六の実施形態における、スチル表示時の書き込み領域制御を示す図表。

【図15】MPEG2における動き予測の概要を示す図。

【図16】MPEG2符号化画像のデータ構造を示す図。

【図17】MPEG2符号化画像データ中の各ヘッダの構造を示す図。

【図18】MPEG2符号化画像の一般的な復号・表示装置の構成を示すブロック図。

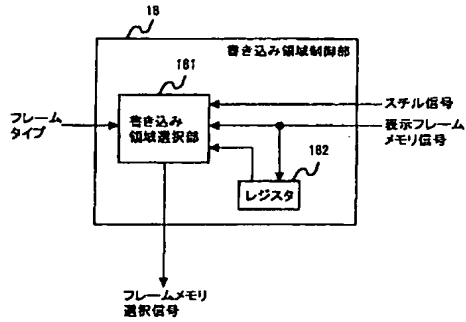
【図19】MPEG2復号・表示装置において、外部からスチル表示を命令する場合を示すブロック図。

【図20】MPEG2復号・表示装置において、復号の失敗を検出してスチル表示を行う場合を示すブロック図。

【符号の説明】

- 1 復号装置
- 3 復号・表示装置
- 5 受信・復号・表示装置
- 10 復号器
- 11 ヘッダ解析・可変長符号復号器(VLD)
- 12 逆量子化器(IQ)
- 13 離散コサイン逆変換機(IDCT)
- 14 加算器
- 15 データバス
- 16 メモリI/F
- 17 動き補償回路(MC)
- 18 書き込み領域制御部
- 19 並べ替え読み出し部
- 20 エラー検出部
- 30 フレームメモリ
- 31 アンカーフレーム用フレームメモリ
- 32 Bフレーム用フレームメモリ
- 33 ESバッファ
- 51 アンテナ
- 52 チューナ
- 53 デマルチプレクサ
- 54 CPU
- 55 ROM
- 56 RAM
- 57 D/Aコンバータ
- 58 表示装置
- 111 スタートコード検出部
- 112 ヘッダ解析部
- 113 可変長復号部
- 181 書き込み領域選択部
- 182 レジスタ

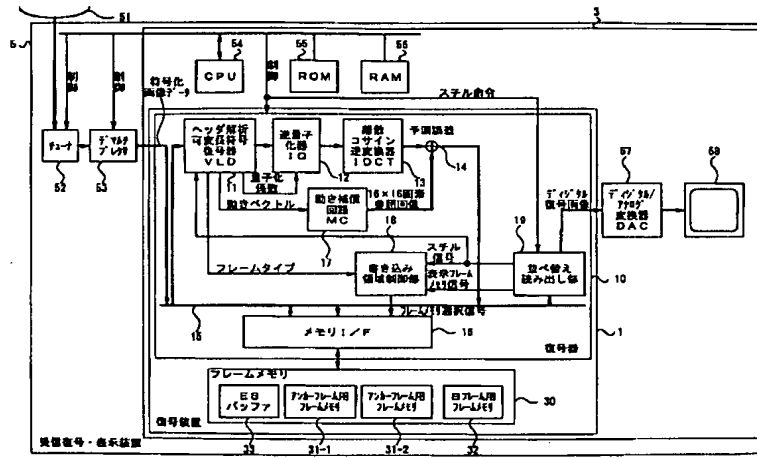
【図6】



【図8】

スチル表示番号	表示フレームメモリ番号	レジスタ182の値	フレームタイプ	
			アンカーフレーム	Bフレーム
0	*	0	アンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納する	アンカーフレーム用フレームメモリ31-1に格納する
0	*	1	アンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納する	アンカーフレーム用フレームメモリ31-2に格納する
0	*	2	アンカーフレーム用フレームメモリ31-1と31-2に交互に格納する	Bフレーム用フレームメモリ32に格納する
1	0	*	アンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納する	選択せず(破棄)
1	1	*	アンカーフレーム用フレームメモリ31-1とBフレーム用フレームメモリ32に交互に格納する	選択せず(破棄)
1	2	*	アンカーフレーム用フレームメモリ31-1と31-2に交互に格納する	選択せず(破棄)

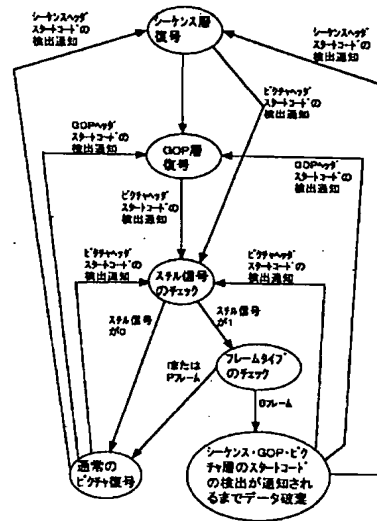
【図9】



【図12】

スチル表示番号	表示フレームメモリ番号	フレームタイプ	
		アンカーフレーム	Bフレーム
0	*	アンカーフレーム用フレームメモリ31-1と31-2に交互に格納する	Bフレーム用フレームメモリ32に格納する
1	2	アンカーフレーム用フレームメモリ31-1と31-2に交互に格納する	-

【图 1-1】



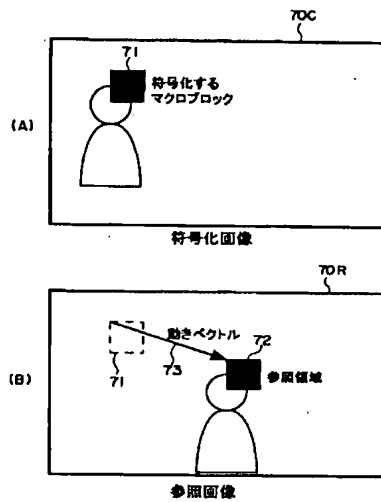
【图 13】

スチール表示 番号	表示フレーム メモリ番号	フレームタイプ	
		アンカーフレーム	Bフレーム
0	*	アンカーフレーム用 フレームメモリ 31-1と31-2に交互に 格納する	Bフレーム用フレーム メモリ32に格納する
1	0	アンカーフレーム用 フレームメモリ31-2 とBフレーム用 フレームメモリ32に 交互に格納する	-
1	1	アンカーフレーム用 フレームメモリ31-1 とBフレーム用 フレームメモリ32に 交互に格納する	-

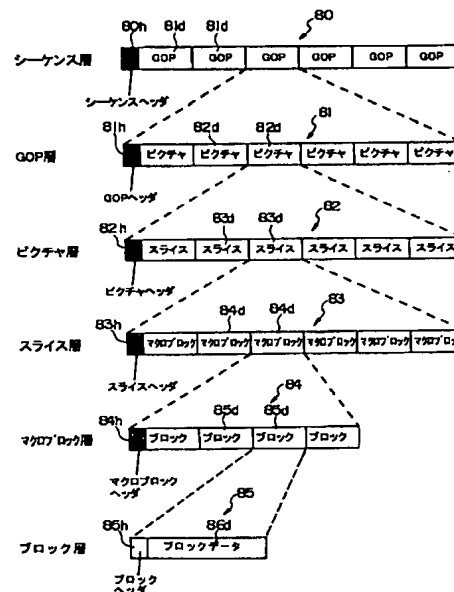
【图 14】

ステル 監視値	監視フレーム メモリ番号	レジスタ 82の値	フレームタイプ	
			アンカーフレーム	8フレーム
0	0	0	アンカーフレーム用 フレームメモリ31-2と8フレーム用 フレームメモリ31-1 に交互に格納する	アンカーフレーム用 フレームメモリ31-1 に格納する
0	0	1	アンカーフレーム用 フレームメモリ31-1と8フレーム用 フレームメモリ32に 交互に格納する	アンカーフレーム用 フレームメモリ31-2 に格納する
0	0	2	アンカーフレーム用 フレームメモリ31-1と 31-2に交互に 格納する	8フレーム用フレーム メモリ32に格納する
1	0	0	アンカーフレーム用 フレームメモリ31-2 と8フレーム用 フレームメモリ32に 交互に格納する	—
1	1	0	アンカーフレーム用 フレームメモリ31-1 と8フレーム用 フレームメモリ32に 交互に格納する	—
1	2	0	アンカーフレーム用 フレームメモリ31-1 と31-2に交互に 格納する	—

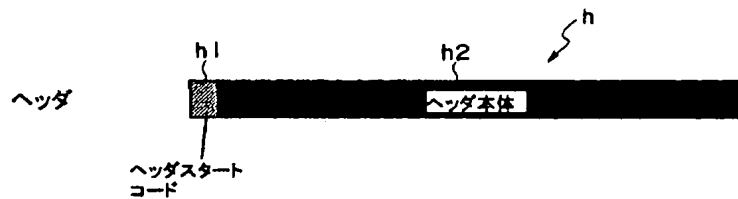
【図15】



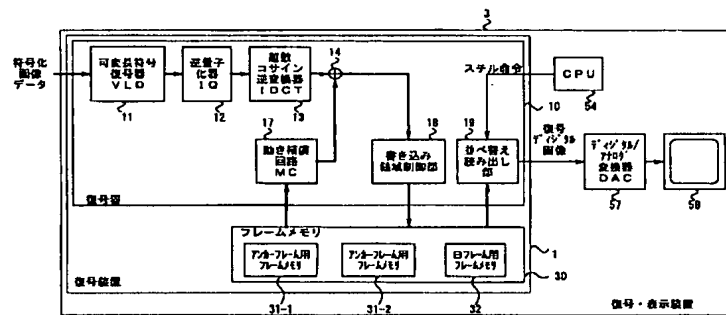
【図16】



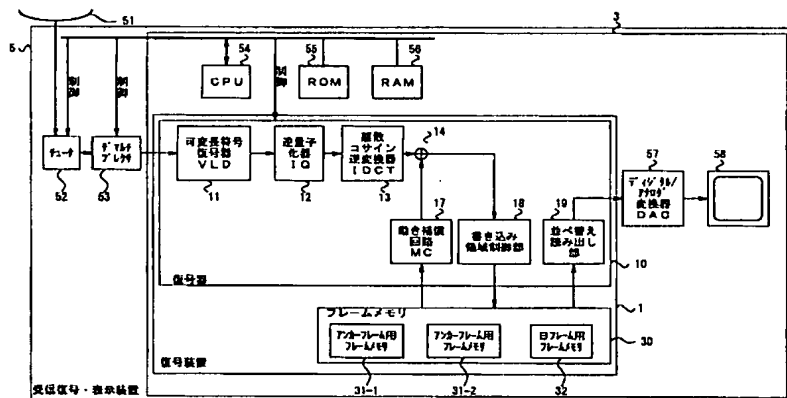
【図17】



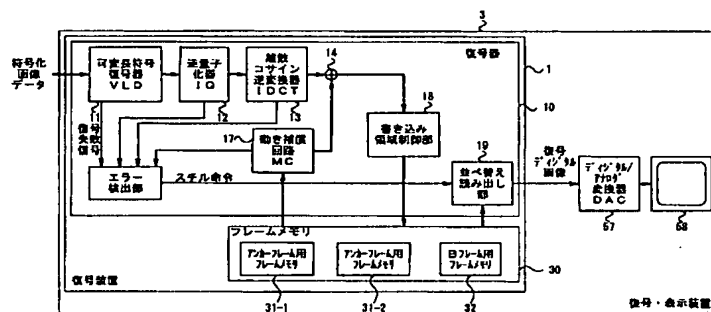
【図19】



【図18】



【図20】



フロントページの続き

Fターム(参考) 5C059 H408 M00 M05 M14 M23
 M01 M38 M01 FF01 FF05
 FF06 FF07 FF01 FF09 SS16
 U05 UA34 UA36 UA38

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-197502

(43)Date of publication of application : 19. 07. 2001

(51)Int. Cl.

H04N 7/32

(21)Application number : 2000-
005159

(71)Applicant : HITACHI LTD

(22)Date of filing :

14. 01. 2000 (72)Inventor : TOTANI RYOSUKE
KOMI HIRONORI

(54) DECODER FOR CODED IMAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a decoder for an image that is high-efficiently coded image that can correctly decode an image after transition in the transition from still display of an image in compliance with the MPEG 2 to a usual decoding operation.

SOLUTION: A decoding means 1 that decodes a high-efficiently coded image is provided with a memory means 30 whose area is divided into areas 31-1, 31-3 that store a reference image used by decoding other image for the reference image and an area 32 that stores one non-reference image not used for the reference image, a write area control means 18 that selects a storage destination of a decoded image, and a rearrangement read means 19 that reads the image data stored in the memory means in the order of display different from the data in the order of decoding. In the decoder 3 that includes the decoding means 1 and sets one of the images stored in the memory means to a still display state upon the receipt of a still display instruction, only the reference image in the decoded images is stored in a reference image storage area upon the receipt of a still instruction while reading the non-reference image and the non-reference image is aborted without being stored in the memory means.

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] It has the memory means divided into the reference image storing field which stores two images used as a reference image in the case of decode of other images, and the un-reference image storing field which stores one image which does not use as a reference image. In the decode equipment of the efficient coded image which decodes efficient coded-image data and outputs a decode image to an image display device When in storing decode image data in said memory means the decoded image is read and a still instruction is received to inside Only the image used as a reference image among the decoded images is stored in the field for reference image storing within said memory means. Decode equipment of the efficient coded image characterized by canceling the image which is not used as a reference image decoded after receiving said still instruction, without storing in this memory means.

[Claim 2] It consists of a variable-length decode means, an image data inverse transformation means, a motion compensation means, and a location shift means of reference image data. A memory means to be a means to decode the image data encoded with the efficient coding means, and to output a decode image to an image display device, and to store

decode image data, The write-in field control means which chooses in which field of this memory means a decode image is stored, It has the rearrangement read-out means which reads the image data stored in said memory means from said memory means in order of a different display from the order of decode. Said memory means It is divided into the field which stores two images used as a reference image in the case of decode of other images, and the field which stores one image which does not use as a reference image. Said write-in field control section It has the function to store two or more images in said memory means independently. Said rearrangement read-out means In the decode equipment which has the function which gives a still indication of one in the image stored in said memory means by the still display instruction from the interior or the outside of equipment When said rearrangement read-out means reads the image which is not used as a reference image in the case of decode of other images and a still instruction is received to inside, this rearrangement read-out means The information on a field that the image which indicates by the still within said memory means was stored is inputted into said write-in field control section. This write-in field control section Decode equipment of the efficient coded image characterized by canceling without storing only the image used as a reference image among the decoded images in the field for reference image storing within said memory means, and storing in this memory means the image which is not used as a reference image.

[Claim 3] When said rearrangement read-out means reads further the image used as a reference image in the case of decode of other images in decode and display of an efficient coded image according to claim 2 and a still instruction is received to inside This rearrangement read-out means inputs into said write-in field control section the information on a field that the image which indicates by the still within said memory means was stored. This write-in field control section The field of the different one from the field into which only the image used as a reference image among the decoded images was inputted from this rearrangement read-out means among the fields for reference image storing for two sheets within said memory means, Decode equipment of the efficient coded image characterized by canceling without storing in the storing field for the images which are not used as a reference image, and storing in this memory means the image which is not used as a reference image.

[Claim 4] In claim 2 or the decode equipment of an efficient coded image according to claim 3 Furthermore, while said write-in field control means is indicating by the still the image used as a reference image in

the case of decode of other images After holding the information on a field that the reference image which is inputted from said rearrangement read-out means and which is indicating by the still is stored and lifting a still display instruction Decode equipment of the efficient coded image characterized by storing the image which uses for the other image storing field of two sheets the image which is not used for the field holding information as a reference image as a reference image.

[Claim 5] It consists of a variable-length decode means, an image data inverse transformation means, a motion compensation means, and a location shift means of reference image data. A memory means to be a means to decode the image data encoded with the efficient coding means, and to output a decode image to an image display device, and to store decode image data, The write-in field control means which chooses in which field of this memory means a decode image is stored, It has the rearrangement read-out means which reads the image data stored in said memory means from this memory means in order of a different display from the order of decode. Said variable-length decode means It is based on the result of variable-length decode of coded-image data. From coded-image data It has the function to detect the coded data of the image which is not used as a reference image in the case of decode of other images. Said memory means The field which stores two images used as a reference image in the case of decode of other images, It is divided into the field which stores one image which is not used as a reference image. It has the function to store two or more images in this memory means independently by said write-in field control section. Said rearrangement read-out means by the still display instruction from the interior or the outside of equipment In the decode equipment which has the function which gives a still indication of one in the image stored in said memory means When said rearrangement read-out means reads the image which is not used as a reference image in the case of decode of other images and a still instruction is received to inside, said strange length decode means It cancels without sending the coded data of the image which is not used as a reference image in the case of decode of other images among the inputted variable-length coded-image data to said image data inverse transformation means. Only the coded data of the image used as a reference image in the case of decode of other images for said image data inverse transformation means delivery and said rearrangement read-out means The information on a field that the image which indicates by the still within said memory means was stored is inputted into said write-in field control section. This write-in field control section Decode equipment of the efficient coded image

characterized by storing the image used as a decoded reference image in the field for reference image storing within said memory means.

[Claim 6] Are decode equipment of an efficient coded image according to claim 5, and further, when the image used as a reference image in the case of decode of said rearrangement read-out means of other images is read and a still instruction is received to inside The inside of the variable-length coded-image data into which said variable-length decode means was inputted, It cancels without sending the coded data of the image which is not used as a reference image in the case of decode of other images to said image data inverse transformation means. Only the coded data of the image used as a reference image in the case of decode of other images for this image data inverse transformation means delivery and said rearrangement read-out means The information on a field that the image which indicates by the still within said memory means was stored is inputted into this write-in field control section. This write-in field control section Decode equipment of the efficient coded image characterized by storing in the field into which the decoded reference image was inputted from said rearrangement read-out means among the fields for reference image storing for two sheets within said memory means, a different field, and the storing field for images which is not used as a reference image.

[Claim 7] They are claim 5 or decode equipment of an efficient coded image according to claim 6. Furthermore, while said write-in field control means is indicating by the still the image used as a reference image in the case of decode of other images After holding the information on a field that the reference image which is inputted from said rearrangement read-out means and which is indicating by the still is stored and lifting a still display instruction Decode equipment of the efficient coded image characterized by storing the image which uses for the other image storing field of two sheets the image which is not used for the field holding information as a reference image as a reference image.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the coded-image

decode and display which carried an efficient coded-image decode means to decode the image data encoded based on the efficient coding technique, such as MPEG 2 specification, and this means on which these decode data are displayed.

[0002]

[Description of the Prior Art] Transmission and the record technique of image data are a technique of occupying big specific gravity also in human being's information activity. Digitizing image data, removing time / spatial redundancy etc. as these techniques, and reducing the cost which the high-efficiency-coding technique which carries out compression coding comes to be used, and transmission or record takes data in recent years is planned. As one of such the coding techniques, the MPEG 2 method (ISO/IEC 31-2818-2) standardized by ISO/SC29/WG11 is learned. MPEG 2 is adopted as the low bit rate coding method of various digital satellite broadcasting services, and a coding method for recording image data on DVD-ROMMPEG 2 or DVD-RAM which is a mass archive medium, and is becoming in use [the high-efficiency-coding technique for digital image transmission and record].

[0003] By image coding based on an MPEG 2 method, image data is processed in the image unit called a frame. As for image data, generally, it is common to consist of to display two or more images continuously, and to treat this one still picture as one frame in MPEG. I frames which removed only the spatial redundancy in the frame and was encoded on the frame, not using those with three kind, and other frames as a reference image (IntraFrame), P frames which drew the forecast with reference to the frame which existed in the past in the order of a display, removed spatial / time redundancy using this, and was encoded (Predictive Frame), And with reference to the frame which hit in the past in the order of a display, and the frame which hits with future, a forecast is drawn from the average. B frames (Bidirecitonally PredictiveFrame) which removed spatial / time redundancy and was encoded using this exist. I frames and P frames are used as a reference image at the time of decoding other P frames and B frames. I frames and P frames are collectively called an anchor frame.

[0004] Since both the reference image by the past frame and the reference image by the frame of the future need to exist when encoding these B frames in case B frames is encoded, it encodes in advance of B frames, and the past frame and the frame of the future used as a reference image are arranged in a coded data train.

[0005] With decode and indicating equipment of the data encoded by the above-mentioned technique, it decodes in the sequence that the sent

coded-image data were encoded. Since the frame of the past and the future used as a reference image when encoding B frames is needed as a reference image at this time also in order to decode B frames, the reference image of the past and the future is decoded in advance of B frames. That is, it decodes in order of B frames of the frame of ** past, the frame of ** future, and ** meantime. However, it is necessary to display these frames after decode in order of the frame of ** past, **B frame, and the frame of ** future. For this reason, the frame after decode needs to be rearranged, for this reason, as for decode and a display, a decode image is once stored in memory.

[0006] It is necessary to use the decode image data of an anchor frame as a reference image for decoding B frames which exists between both this frame in order of a display as above-mentioned. For this reason, it is necessary to surely hold the image data of the anchor frame for two frames in memory until decode of B relevance is completed. Furthermore, image data must change the image data of the decoded frame into field data, when it consists of the two fields where one frame carried out the interlace of the one frame like the present television signal since it encoded as a unit. Therefore, it is necessary to once store in memory also about B decoded frames.

[0007] Such image storing memory is called a frame memory.

[0008] In MPEG 2, image data is subdivided by the unit called a macro block, and coding and a decryption are performed for this the macro block of every. In the case of 4:2:0 graphics formats, a macro block consists of 16 pixel (level) x16 pixel (perpendicular) brightness data and the color difference (two components of CB-Cr) of 8x8.

[0009] Predicting coding between screens for every macro block is shown in drawing 15 . Drawing 15 (A) shows reference image 70R to which drawing 15 (B) uses coded-image 70C to encode for coding. The reference field 72 of the brightness of 16x16 pixels with few prediction errors, 8x8 pixel of CB(s), and 8x8 pixel of Cr(s) is chosen from reference image 70R used as the criteria of coding for every macro block, and macro BUROKU 71 of coded-image 70C, relative vector, and prediction error in the screen of the reference field 72 are encoded. This relative vector is called motion vector 73. By the reference image 70R lost-motion vector in a frame memory, in the case of decode, the 16x16 pixel (in the case of the color difference, it is 8x8 pixels) data of reference are read, it adds this with a prediction error, and decodes the macro block 71. It is called motion compensation to decode a macro block from a motion vector 73 and a prediction error.

[0010] Moreover, motion prediction of MPEG 2 is performed in a half-

pixel unit. For this reason, in performing the motion compensation of half-pixel precision, 17x17 pixels (in the case of the color difference, it is 9x9 pixels) data are read as reference data, the average value between pixels is calculated, and it obtains 16x16 pixels (or 8x8 pixels) reference data.

[0011] The structure of the coded-image data of MPEG 2 is shown in drawing 16 . Coded-image data are hierarchized and are divided into the sequence layer 80, the GRU PUOB picture (GOP) layer 81, the picture layer 82, the slice layer 83, the macro block layer 84, and the block layer 85 sequentially from the high order. The sequence layer 80 consists of sequence header 80h and 1 GOP layer data 81d or more.

Similarly the GOP layer 81 from GOP header 81h and 1 picture layer data 82d or more The picture layer 82 from picture header 82h and 1 slice layer data 83d or more The slice layer 83 from slice header 83h and 1 macro block layer data 84d or more In the macro block layer 84, macro block header 84h and four block layer data 85d to the block layer 85 consists of macro block header 85h and four block layer data 86d.

[0012] The structure of the header of each class is shown in drawing 17 . Each header h consists of the header start code h1 and the header body h2. The header start code h1 can be assigning the value of a proper for each class, and when a decoder acquires this start code h1, the continuing coded data identifies of which layer it is data.

[0013] Reception and decode of the coded-image broadcast by the MPEG 2 method, and the general configuration of a display are shown in drawing 18 . Reception, decode, and the display 5 of coded-image broadcast consist of the decoder 10 which has the decode means of MPEG 2, the frame memory means 30, an antenna 51, a tuner 52, a demultiplexer 53, CPU54, ROM55 and RAM56, a digital to analog converter (DAC) 57, and a display 58. Decode equipment is formed with the decoder 10 frame-memory means 30.

[0014] a decoder -- ten -- variable length -- a sign -- a decoder (VLD) -- 11 -- reverse -- a quantizer -- (-- IQ --) -- 12 -- dispersion -- cosine -- an inverter (IDCT) -- 13 -- an adder -- 14 -- a motion compensation -- a circuit -- (-- MC --) -- 17 -- writing -- a field -- a control section -- 18 -- rearrangement -- read-out -- the section -- 19 -- having -- constituting -- having .

[0015] The frame memory 30 has the frame memory field 31 for anchor frames, and the memory area 32 for B frames.

[0016] A tuner 52 restores a digital coded data train from the broadcasting electric-wave which received with the antenna 51, the coded-image data of the channel of arbitration are taken out by the

demultiplexer 53, and it inputs into a decoder 10.

[0017] In a decoder 10, the variable-length decode of the inputted coded-image data is first carried out with the variable-length sign decoder (VLD) 11. After reverse-quantizing this with the reverse quantizer (IQ) 12, discrete cosine inverse transformation processing is performed with the discrete cosine inverter (IDCT) 13, and the prediction error of a macro block is acquired. A 16x16-pixel reference field is read by the frame memory 31-1 for anchor frames (for reference images) in the frame memory 30 connected to coincidence outside, and the 31-2 lost-motion vector, and a macro block is decoded by adding with an adder 14. Among the obtained decode images, about an anchor frame, the write-in field control section 18 stores in the 1st frame memory 31-1 for anchor frames, or the 2nd frame memory 31-2 for anchor frames by turns, and B frames is stored in the frame memory 32 for B frames. The rearrangement read-out section 19 reads the stored image in order of a display, performs delivery and D/A transform processing to a digital to analog converter (a D/A converter, DAC) 57 as an image for a display, and outputs them to a display 58. Moreover, the motion compensation machine (MC) 17 reads an anchor frame as an image for reference, and adds it with the prediction error of other frames with an adder 14. Actuation of these each part is controlled by CPU54.

[0018] Moreover, the memory means 30, such as a frame memory, have the common gestalt connected to the exterior of a decoder 10 like drawing 18.

[0019] The common decode equipment of an MPEG 2 coded image has the still display function which repeats and displays one in an image. A still display function plays the mainly following roles.

[0020] The 1st is displaying only one in an image. The 2nd is making it not display the image which failed in decode by repeating and displaying the image which decode has already completed, when decode of an image goes wrong.

[0021] The configuration of the decode and display in the case of displaying only the image of one sheet and the example of a display-processing procedure are explained using drawing 19. This decode and display have the same configuration as the decode and the display 3 shown in drawing 18, and is omitting the display of ROM and RAM. If it rearranges from CPU54 and a still instruction is published in the read-out section 19, the rearrangement read-out section 19 will repeat and read the image directed from CPU54 regardless of the order of coding, or the order of a display from the 1st frame memory 31-1 for anchor frames, or the frame memory 32 for 31 -2 or B frames. This realizes the halt

function of an image.

[0022] When decode of an image goes wrong, by repeating and displaying the image which decode has already completed explains the configuration of the decode and display in the case of making it not display the image which failed in decode, and the example of a display-processing procedure using drawing 20 . This decode and display 3 have the description at the point which added the error detection section 20 to the decode and the display 3 shown in drawing 18 , and is omitting illustration of CPU, ROM, and RAM. When failure of decode breaks out in the variable-length sign decoder (VLD) 11 which decodes, the reverse quantizer (IQ) 12, the discrete cosine inverse transformation machine (IDCT) 31-2, and motion compensation (circuit MC) 17 grade, the error detection section 20 detects it and sends a still instruction to the rearrangement read-out section 19. The rearrangement read-out section 19 repeats and reads the image which decode has already completed regardless of the order of coding, or the order of a display from the frame memory 31-1 for anchor frames, or the frame memory 32 for 31 -2 or B frames. This displays only the image which succeeded in decode. Then, when decode of a new image is completed correctly, the error detection section 20 lifts a still instruction, and the rearrangement read-out section 19 reads an image in order of a display.

[0023] As for decode of a coded image, having stopped is common in order to avoid overwriting a new decode image to the storing field of an image still on display during the above-mentioned still display period. In the meantime, the coded-image data inputted into a decoder 10 are canceled. When shifting to the usual actuation from a still display, it will become impossible for this reason, for the image after a reference image required for decode of a coded image does not exist in the 1st frame memory 31-1 for anchor frames and the 2nd frame memory 31-2 for anchor frames but shifts to normal operation to decode correctly.

[0024] Although the method of setting up more number of frame memories in a frame memory 30 is also considered in order that during a still period may not stop decode, the capacity of a frame memory 30 will increase and system-wide cost will be pushed up.

[0025]

[Problem(s) to be Solved by the Invention] Without solving the above-mentioned problem and increasing the capacity of a frame memory 30, this invention proposes a decode means to decode a coded image correctly, even when it shifts to the usual decode actuation from a still display.

[0026]

[Means for Solving the Problem] The decode means of the MPEG 2 coded

image proposed by this invention continues decode of a coded image also during a still display period. The rearrangement read-out section 19 writes in the information on a frame memory that the image which is indicating by the still was stored, and inputs it into the field control section 18. When the frame memory in which the image which is indicating by the still is stored is a frame memory for B frames, the write-in field control section 18 cancels the decoded data of B frames, without storing in the frame memory for B frames, and stores only an anchor frame in the frame memory for anchor frames. Moreover, when the frame memory in which the image which is indicating by the still is stored is a frame memory for anchor frames, the decoded data of B frames are canceled without storing in the frame memory for B frames, and only an anchor frame is stored in the frame memory and the frame memory for B frames of the different one from the frame memory which is indicating by the still among the frame memories for anchor frames. It becomes possible to also decode correctly the image after it continued storing only an anchor frame in the frame memory and it shifted to the usual decode actuation from the still display, without this spoiling the image which indicates by the still.

[0027]

[Embodiment of the Invention] The configuration of the decode equipment 1 of the efficient coded image concerning the gestalt of operation of the first of this invention, decode and a display 3, and the reception, decode and a display 5 is explained using the block diagram of drawing 1. Let this operation gestalt be the digital decode image with which an input is sent to MPEG 2 coded-image data, and it sends an output to a D/A converter. The frame memory which decode processing takes is connected to the exterior of a decoder.

[0028] It is characterized by canceling without this operation gestalt's storing an anchor frame in the frame memory for anchor frames among the images decoded during the still display period of B frames, and storing data of B frames in a frame memory.

[0029] The reception, decode, and the indicating equipment 5 concerning this invention consist of decode and an indicating equipment 3, a tuner 52, and a demultiplexer 53. Decode and a display 3 consist of the decode equipment 1 of an efficient coded image, CPU54 and ROM55, RAM56 and DAC57, and a display 58. The decode equipment 1 of an efficient coded image consists of the decoders 10 and frame memories 30 of an efficient coded image.

[0030] a decoder -- ten -- a header -- analysis - variable length -- a sign -- a decoder (VLD) -- 11 -- reverse -- a quantizer -- (-- IQ --) --

12 -- dispersion -- cosine -- an inverter (IDCT) -- 13 -- an adder -- 14 -- a data bus -- 15 -- memory -- I/F -- 16 -- a motion compensation -- a circuit -- (-- MC --) -- 17 -- writing -- a field -- a control section -- 18 -- rearrangement -- read-out -- the section -- 19 -- having --

**** . A decoder 10 is controlled by CPU54.

[0031] The frame memory 30 has the 1st frame memory 31-1 for anchor frames constituted as a memory area which stores an anchor frame, the 2nd frame memory 31-2 for anchor frames constituted as a memory area which stores an anchor frame, the frame memory 32 for B frames constituted as a memory area which stores B frames, and the ES buffer 33 constituted as a field which stores coded-image data.

[0032] Hereafter, the configuration of the decode equipment of an efficient coded image is explained to a detail using this drawing.

[0033] In drawing 1 , the coded-image data from a demultiplexer 53 are inputted into a decoder 10. Coded-image data are transmitted to a frame memory 30 through a data bus 7 and memory I/F8, and are stored in the ES buffer 21. The coded-image data stored in the ES buffer 21 are again read by memory I/F8, and are transmitted to the header analysis and the variable-length sign decoder 11 (VLD) which decodes the analysis and the variable-length sign of a header through a data bus 7.

[0034] Header analysis and the variable-length sign decoder (VLD) 11 carry out the variable-length decode of the coded-image data, and inputs into the reverse quantizer (IQ) 12 the image data which consists of a discrete cosine transform multiplier obtained by decode. moreover -- a coded image -- data -- each -- a header -- from -- decoding -- a macro -- a block -- quantization -- a multiplier -- prediction -- a mode signal -- a motion vector -- a frame -- a type (I, or P or B) -- extracting -- reverse -- a quantizer -- (-- IQ --) -- 12 -- writing -- a field -- a control section -- 18 -- a motion compensation -- a circuit -- (-- MC --) -- 17 -- as side information -- inputting .

[0035] In the reverse quantizer (IQ) 12, reverse quantization processing is carried out based on a quantization multiplier, and the inputted image data of a discrete cosine transform multiplier is inputted into the discrete cosine inverse transformation machine (IDCT) 13.

[0036] In the discrete cosine inverse transformation machine (IDCT) 13, inverse cosine transform processing is performed to image data, and, thereby, the image data in front of a motion compensation (prediction error) is obtained. A prediction error is added with the reference data and the adder 14 which were generated by the motion compensation circuit (MC) 17 by the below-mentioned processing, and decode image data is obtained.

[0037] Based on a frame type, a still signal, and/or display frame information, the write-in field control section 18 chooses one frame memory which stores a decode image from the 1st frame memory 31-1 for anchor frames, the 2nd frame memory 31-2 for anchor frames, and the frame memory 32 for B frames, and inputs the signal of the selected frame memory into memory I/F8.

[0038] The decode image obtained from the adder 14 is stored in the frame memory which the write-in field control section 18 chose through a data bus 7 and memory I/F8.

[0039] The rearrangement read-out section 19 reads the decode image stored in the 1st frame memory 31-1 for anchor frames, the 2nd frame memory 31-2 for anchor frames, and the frame memory 32 for B frames in order of a display through memory I/F8 and a data bus 7, and outputs it to D/A converter (DAC) 57 as an output of a decoder. Moreover, the rearrangement read-out section 19 writes in the signal (still signal) which shows that it is [still] under display, and the signal (display frame memory signal) which shows the frame which is indicating by the still during a still display period, and inputs it into the field control section 18.

[0040] The reference data supplied to an adder 14 are the following, and are made and generated in the motion compensation circuit (MC) 17.

[0041] In MPEG 2, image data is subdivided by the unit called a macro block (MB), and coding and a decryption are performed for every MB. In the case of 4:2:0 graphics formats, MB consists of 16 pixel (level) x16 pixel (perpendicular) brightness data and the color difference (two components of CB and Cr) of 8x8.

[0042] The image data in front of the motion compensation obtained with the discrete cosine inverse transformation machine (IDCT) 13 has four motion vectors at the maximum as side information. The inside of the image with which this motion vector was sent to the motion compensation circuit (MC) 17, and the motion compensation circuit (MC) 17 was stored in the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 32 for frame memory 31-2 or B frames for anchor frames, The reference data of the brightness component 16x16 in the location corresponding to the motion vector in the image which hits the reference image of the image which is carrying out current decode, the CB component 8x8, and the Cr component 8x8 are read. Thereby, the motion compensation circuit (MC) 17 obtains four MB reference image data (the brightness component 16x16, the CB component 8x8, Cr component 8x8) from a frame memory 30 at the maximum. The average of these MB reference image data is taken, and the obtained reference image (the brightness component 16x16, the CB

component 8x8, Cr component 8x8) is inputted into an adder 14.

[0043] Here, suppose that the still instruction rearranged from CPU54 and it was inputted into the read-out section 19 at a certain time while displaying the B frame image in the frame memory 32 for B frames. At this time, the rearrangement read-out section 19 repeats and reads the image in the frame memory 32 for B frames which was being displayed at that time, and performs a still display. A still signal is set to "1", and it writes that it is during a still display period in coincidence, and notifies to it at the field control section 18. Moreover, a display frame memory signal is outputted, the information that the frame memory 32 for B frames is repeated and displayed for a still display is written in, and it notifies to the field control section 18.

[0044] The frame memory which indicates by the still, and correspondence of the value of the display frame memory signal which the rearrangement read-out section 19 outputs are shown in drawing 2 . A display frame memory signal takes a value "2", when indicating the image of the frame memory 32 for B frames by the still.

[0045] The relation of the frame type inputted into the write-in field control section 18, a still signal and a display frame memory signal, and the frame memory selection signal to output is shown in drawing 3 . When a still signal is "0", the write-in field control section 18 chooses the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns, when an anchor frame is stored, and when B frames is stored, it chooses the frame memory 32 for B frames. When a still signal is ["1" and a display frame memory signal] "2", although the write-in field control section 18 chooses the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns when an anchor frame is stored, in the case of B frames, it does not choose a storing frame memory. Thereby, data of B frames are canceled, without being stored in a frame memory.

[0046] Thereby, since an anchor frame is decoded correctly, the image after shifting to normal operation from a still display can also decode during the still display period of B frames correctly.

[0047] Drawing 4 is drawing in the second operation gestalt of the decode equipment of the efficient coded image by this invention showing the frame memory which indicates by the still, and correspondence of the value of the display frame memory signal which the rearrangement read-out section 19 outputs. Moreover, drawing 5 is drawing having shown the relation between the frame type still signal and display frame memory signal in the second operation gestalt of the decode equipment of the efficient coded image by this invention which are inputted into the

write-in field control section 18, and the frame memory selection signal to output.

[0048] It is characterized by canceling without storing this operation gestalt in the different frame memory and the different frame memory 32 for B frames of the direction from the direction which is indicating the anchor frame by the still among the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames among the images decoded during the still display period of an anchor frame, and storing data of B frames in a frame memory.

[0049] Moreover, with this operation gestalt, the configuration of a decoder 10 is written in with the rearrangement read-out section 19, and presupposes that it is the same as that of the first operation gestalt except field control-section 18.

[0050] As shown in drawing 4 , the rearrangement read-out section 19 considers as a display frame memory signal, when indicating the 1st frame memory 31-1 for anchor frames by the still, when indicating the frame memory 31-2 for anchor frames of the frame memory 2nd for anchor frames by the still, it writes in "1" by making "0" into a display frame memory signal, and inputs it into the field control section 18.

[0051] When a still signal is "0", the write-in field control section 18 chooses the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns, when an anchor frame is stored, and as shown in drawing 5 , when B frames is stored, it chooses the frame memory 32 for B frames.

[0052] When "1" and a display frame memory signal are "0" and a still signal stores an anchor frame, although it chooses by turns the frame memory for anchor frames, i.e., the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames, which is different in the 1st frame memory 31-1 for anchor frames which is indicating by the still, in the case of B frames, it does not carry out a storing frame memory. Thereby, an anchor frame is stored in the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames, and data of B frames are canceled, without being stored in a frame memory.

[0053] When "1" and a display frame memory signal are "1" and a still signal stores an anchor frame, although it chooses by turns the 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames which are different in the frame memory 31-2 for anchor frames of the frame memory 2nd for anchor frames which is indicating by the still, in the case of B frames, it does not carry out a storing frame memory. Thereby, an anchor frame is stored in the 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames, and data of B frames are

canceled, without being stored in a frame memory.

[0054] Thereby, since an anchor frame is decoded correctly, the image after shifting to normal operation from a still display can also decode during the still display period of an anchor frame correctly.

[0055] The configuration of the write-in field control section 18 in the third operation gestalt of the decode equipment of the efficient coded image by this invention is explained using drawing 6 . The write-in field control section 18 has the register 182 holding the information on the frame memory which is indicating by the still with the write-in field selection section 181. Moreover, drawing 7 is drawing in the third operation gestalt of the decode equipment of the efficient coded image by this invention showing the frame memory which indicates by the still, and correspondence of the value of the display frame memory signal which the rearrangement read-out section 19 outputs.

[0056] This operation gestalt is usually characterized by storing B frames in the frame memory which was indicating by the still after shifting to a display from a still display, when an anchor frame is decoded according to the first or second operation gestalt also during a still display.

[0057] Moreover, with this operation gestalt, the configuration of a decoder 10 is written in with the rearrangement read-out section 19, and presupposes that it is the same as that of the first or second operation gestalt except field control-section 18.

[0058] As shown in drawing 7 , when indicating the 1st frame memory [1st] 31-1 for anchor frames by the still, it considers as a display frame memory signal, the rearrangement read-out section 19 makes "0" a display frame memory signal, when indicating the 2nd frame memory 31-2 for anchor frames by the still, when indicating the frame memory 32 for B frames by the still, it writes in "2" by making "1" into a display frame memory signal, and inputs it into the field control section 18.

[0059] The value of the display frame memory signal which rearranges the register 182 of the field control section 18 during a still display by writing in, and is inputted from the read-out section 19 shown in drawing 6 is held. The held value is inputted into the write-in field selection section 181 when it usually shifts to a display from a still display.

[0060] The relation of the frame memory selection signal to output is indicated to be the value of the frame type inputted into the write-in field selection section 181 at drawing 8 , a still signal, a display frame memory signal, and a register 182.

[0061] It is shown that the frame memory the still signal was indicating

[the frame memory] by the still by "0" just before when the value of a register 102 was "0" was the 1st frame memory 31-1 for anchor frames. At this time, the write-in field selection section 18 chooses the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames by turns as a field which stores an anchor frame, and chooses the 1st frame memory 31-1 for anchor frames as a field which stores B frames.

Similarly, when the value of the "0" register 182 is "1", a still signal The 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames are chosen by turns as a field which stores an anchor frame.

Choose the 2nd frame memory 31-2 for anchor frames as a field which stores B frames, and by "0", when the value of a register 182 is "2", a still signal The 1st frame memory 31-1 for anchor frames and the 2nd frame memory 31-2 for anchor frames are chosen by turns as a field which stores an anchor frame, and the frame memory 32 for B frames is chosen as a field which stores B frames.

[0062] Moreover, when a still signal is [a display frame memory signal] "0" in "1", the write-in field selection section 181 stores an anchor frame in the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames by turns, and cancels B frames, without storing. Similarly, when a still signal is [a display frame memory signal] "1" in "1" The write-in field selection section 181 stores an anchor frame in the 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames by turns, and cancels B frames, without storing. When a still signal is [a display frame memory signal] "2" in "1" The write-in field selection section 181 stores an anchor frame in the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns, and cancels B frames, without storing. This actuation is the same as that of the first or second operation gestalt.

[0063] Thereby, when during a still display period decodes an anchor frame correctly according to the first or second operation gestalt, the image after shifting to normal operation from a still display can also be decoded correctly.

[0064] The configuration of the decode equipment 1 of the efficient coded image concerning the fourth operation gestalt of this invention, decode and a display 3, and the reception, decode and a display 5 is explained using drawing 9 . Let this operation gestalt be the digital decode image with which an input is sent to MPEG 2 coded-image data, and it sends an output to a D/A converter. The memory which decode processing takes is connected to the exterior of a decoder.

[0065] This operation gestalt is characterized by canceling coded data of B frames among input coded-image data, decoding only an anchor frame,

and storing in the frame memory for anchor frames during the still display period of B frames.

[0066] With this operation gestalt, while the still status signal outputted from the rearrangement read-out section 19 is inputted also into header analysis and the variable-length sign decoder (VLD) 11, it has the description at the point that the configuration of header analysis and the variable-length sign decoder (VLD) 11 was changed, and other points have the almost same configuration as the equipment shown in drawing 1 .

[0067] The configuration of the header analysis and the variable-length sign decoder 11 in this operation gestalt (VLD) is shown in drawing 10 . Header analysis and the variable-length sign decoder (VLD) 11 have the start code detecting element 111, the header analysis section 112, and the variable-length decode section 113 of a header, and is constituted.

[0068] The start code detecting element 111 detects the start code of the header in coded data, and identifies of which layer of the coded image of MPEG 2 the continuing header and coded data are a thing. The header analysis section 112 analyzes the header which follows reception and a start code in the layer information on data based on layer information from the start code detector 111. The variable-length decode section 113 carries out the variable-length decode of the coded data which follows [information / layer] reception and a header in the frame type header information to the header analysis section 112 from the start code detecting element 111.

[0069] Here, suppose that the still instruction rearranged from CPU54 and it was inputted into the read-out section 19 at a certain time while displaying the B frame image in the frame memory 32 for B frames. At this time, the rearrangement read-out section 19 repeats and reads the image in the frame memory 32 for B frames which was being displayed at that time, and performs a still display. A still signal is set to "1", and it writes that it is during a still display period in coincidence with the variable-length decode section 113, and notifies to it at the field control section 18. Moreover, a display frame memory signal is outputted, the information that the frame memory 32 for B frames is repeated and displayed for a still display is written in, and it notifies to the field control section 18.

[0070] Correspondence of the value of the frame memory which indicates by the still, and the display frame memory signal which the rearrangement read-out section 19 outputs is expressed with drawing 2 like the first operation gestalt. A display frame memory signal takes a value "2", when indicating the image of the frame memory 32 for B frames

by the still.

[0071] The state transition diagram which set actuation of the variable-length decode section 113 to drawing 11 is shown. The arrow head in drawing shows actuation of the variable-length decode section 113 in each condition for the transition conditions of each condition in an ellipse.

[0072] Detection of a sequence header start code is first notified from the start code detecting element 111, and a sequence layer is decoded. Next, detection of a GOP header start code is notified and a GOP layer is decoded.

[0073] Then, when detection of a picture header start code is notified, the variable-length decode section 113 checks the still signal which rearranges and is inputted from the read-out section 19. When a still signal is "0", it usually passes along the variable-length decode section 113, and it performs the decode below a picture layer. Then, when there is a notice of detection of a sequence, GOP, and a picture header, it moves to decode of the following sequence layer, a GOP layer, and a picture layer.

[0074] At the time of detection of a picture header start code, when a still signal is "1", the frame type further inputted from the header analysis section 112 is checked. If a frame type is an anchor frame (I or P frames), the usual decode will be performed, but when a frame type is B frames, coded-image data are canceled, without carrying out variable-length decode until detection of one start code of a sequence header, a GOP header, and a picture header is notified from the start code detecting element 111 next. Thereby, at the time of a still display, only the variable-length decode data of an anchor frame are sent to the reverse quantizer (IQ) 12, and coded data of B frames is canceled.

[0075] The relation of the frame type, still signal and display frame memory signal which are inputted into the write-in field control section 18, and the frame memory selection signal to output is shown in drawing 12. a still signal -- "0" -- the time of the write-in field control section 18 storing an anchor frame at a certain time -- 1st frame memory 31-1 for anchor frames, and support hurrah of ** a 2nd -- business -- a frame memory 31-2 is chosen by turns, and when B frames is stored, the frame memory 32 for B frames is chosen. "1" and a display frame memory signal make a storing field the anchor frame which the write-in field control section 18 decoded when it was "2", and a still signal chooses the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns. Since B frames is canceled in the variable-length decode section 113, without decoding, the field which

stores B frames at the time of a still display is not defined by drawing 12 .

[0076] Thereby, since an anchor frame is decoded correctly, the image after shifting to normal operation from a still display can also decode during the still display period of B frames correctly. Furthermore, header analysis and the variable-length sign decoder 111 Since a still signal is inputted into "1" by the variable-length decode section 113 when a still instruction rearranges from CPU54 and it is inputted into the read-out section 19 at a certain time while a still signal is displaying a B frame image Since processing which decodes B frames is not performed, it becomes unnecessary to perform decryption processing about B frames with the reverse quantizer (IQ) 12 and the discrete cosine inverse transformation machine (IDTC) 13, and the burden of CPU54 can be mitigated.

[0077] Drawing 13 is drawing having shown the relation of the frame type, still signal and display frame memory signal which are inputted into the write-in field control section 18 in the fifth operation gestalt of the decode equipment of the efficient coded image by this invention, and the frame memory selection signal to output.

[0078] It is characterized by canceling without storing this operation gestalt in the different frame memory and the different frame memory for B frames of the direction from the direction which is indicating the anchor frame by the still among the frame memories for anchor frames among the images decoded during the still display period of an anchor frame, and storing data of B frames in a frame memory.

[0079] With this operation gestalt, correspondence of the value of the frame memory which indicates by the still, and the display frame memory signal which the rearrangement read-out section 19 outputs shall be shown by drawing 4 like the second operation gestalt.

[0080] Moreover, with this operation gestalt, the configuration of a decoder 10 is written in with the rearrangement read-out section 19, and presupposes that it is the same as that of the fourth operation gestalt except field control-section 18.

[0081] As shown in drawing 4 , the rearrangement read-out section 19 considers as a display frame memory signal, when indicating the 1st frame memory 31-1 for anchor frames by the still, when indicating the 2nd frame memory 31-2 for anchor frames by the still, it writes in "1" by making "0" into a display frame memory signal, and inputs it into the field control section 18.

[0082] When a still signal is "0", the write-in field control section 18 chooses the 1st frame memory 31-1 for anchor frames, and the 2nd frame

memory 31-2 for anchor frames by turns, when an anchor frame is stored, and as shown in drawing 13 , when B frames is stored, it chooses the frame memory 32 for B frames.

[0083] A still signal stores the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames which are different in the 1st frame memory 31-1 for anchor frames which is indicating the decoded anchor frame by the still by turns, when "1" and a display frame memory signal are "0." A still signal stores the 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames which are different in the 2nd frame memory 31-2 for anchor frames which is indicating the decoded anchor frame by the still by turns, when "1" and a display frame memory signal are "1." Since B frames is canceled in the variable-length decode section 113 in both cases, without decoding, the field which stores B frames at the time of a still display is not defined by drawing 13 .

[0084] Thereby, since an anchor frame is decoded correctly, the image after shifting to normal operation from a still display can also decode during the still display period of an anchor frame correctly.

[0085] In the sixth operation gestalt in this invention, the configuration of a decoder 10 is expressed with drawing 9 like the fourth operation gestalt. Moreover, the configuration of the write-in field control section 18 shall be expressed with drawing 6 like the third operation gestalt.

[0086] This operation gestalt is usually characterized by storing B frames in the frame memory which was indicating by the still after shifting to a display from a still display, when an anchor frame is decoded according to the third or fourth operation gestalt also during a still display.

[0087] Moreover, with this operation gestalt, it writes in with the rearrangement read-out section 19, and suppose that it is the same as that of the fourth or fifth operation gestalt except the configuration of the field control section 18.

[0088] Correspondence of the value of the frame memory which indicates by the still and the display frame memory signal which the rearrangement read-out section 19 outputs in this operation gestalt is expressed with drawing 7 like the third operation gestalt.

[0089] As shown in drawing 7 , when indicating the 1st frame memory 31-1 for anchor frames by the still, it considers as a display frame memory signal, the rearrangement read-out section 19 makes "0" a display frame memory signal, when indicating the 2nd frame memory 31-2 for anchor frames by the still, when indicating the frame memory 32 for B frames by the still, it writes in "2" by making "1" into a display frame memory

signal, and inputs it into the field control section 18.

[0090] The relation of the frame memory selection signal to output is indicated to be the value of the frame type still signal, display frame memory signal, and register 182 which are inputted into the write-in field selection section 181 at drawing 14 . It is shown that the frame memory the still signal was indicating [the frame memory] by the still by "0" just before when the value of a register 182 was "0" was the 1st frame memory 31-1 for anchor frames. At this time, the write-in field selection section 181 chooses the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames by turns as a field which stores an anchor frame, and chooses the 1st frame memory 31-1 for anchor frames as a field which stores B frames.

[0091] Similarly, by "0", when the value of a register 182 is "1", a still signal The 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames are chosen by turns as a field which stores an anchor frame. Choose the 2nd frame memory 31-2 for anchor frames as a field which stores B frames, and by "0", when the value of a register 182 is "2", a still signal The 1st frame memory 31-1 for anchor frames and the 2nd frame memory 31-2 for anchor frames are chosen by turns as a field which stores an anchor frame, and the frame memory 32 for B frames is chosen as a field which stores B frames.

[0092] Moreover, when a still signal is [a display frame memory signal] "0" in "1", the write-in field selection section 181 stores an anchor frame in the 2nd frame memory 31-2 for anchor frames and frame memory 32 for B frames by turns. Similarly, when a still signal is [a display frame memory signal] "1" in "1" The write-in field selection section 181 stores an anchor frame in the 1st frame memory 31-1 for anchor frames and frame memory 32 for B frames by turns. When a still signal is [a display frame memory signal] "2" in "1", the write-in field selection section 181 stores an anchor frame in the 1st frame memory 31-1 for anchor frames, and the 2nd frame memory 31-2 for anchor frames by turns.

[0093] The field where in any case B frames is stored by drawing 14 at the time of a still display since B frames is canceled in the variable-length decode section 113, without decoding is not defined. This actuation is the same as that of the fourth or fifth operation gestalt.

[0094] Thereby, when during a still display period decodes an anchor frame correctly according to the fourth or fifth operation gestalt, the image after shifting to normal operation from a still display can also be decoded correctly.

[0095] Although each above-mentioned operation gestalt showed the case

where the instruction from external CPU54 performed a still display, this invention is effective, even when detecting failure of decode inside and performing a still display.

[0096] If a postscript is added, this invention will receive and decode the protection content proposed by MPEG-4 specification. As opposed to the coding stream which has the audience right of . period limitation effective also when displaying When it is required that animation display, a usual coma dropping display (for example, skip of B frames), a usual still display, etc. should be changed in time, the shift to the usual movie display can be correctly performed by continuing I frames and P decode also during a still display.

[0097]

[Effect of the Invention] The following effectiveness is acquired by this invention.

[0098] It becomes possible to decode correctly the image after shifting to normal operation from a still, without increasing the capacity of a frame memory 30 by continuing I frames and P decode also during a still display.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the first operation gestalt of invention.

[Drawing 2] The graph showing the value of the display frame memory signal at the time of the still display in the first operation gestalt of invention.

[Drawing 3] The graph showing the write-in zone control at the time of the still display in the first operation gestalt of invention.

[Drawing 4] The graph showing the value of the display frame memory signal at the time of the still display in the second operation gestalt of invention.

[Drawing 5] The graph showing the write-in zone control at the time of the still display in the second operation gestalt of invention.

[Drawing 6] The block diagram showing the configuration of the write-in field control section 18 in the third operation gestalt of invention.

[Drawing 7] The graph showing the value of the display frame memory signal at the time of the still display in the third operation gestalt

of invention.

[Drawing 8] The graph showing the write-in zone control at the time of the normal operation in the second operation gestalt of invention, and a still display.

[Drawing 9] The block diagram showing the configuration of the fourth operation gestalt of invention.

[Drawing 10] The block diagram showing the configuration of the header analysis and the variable-length sign decoder 11 in the fourth operation gestalt of invention (VLD).

[Drawing 11] The state transition diagram showing actuation of the variable-length decode section 303 in the fourth operation gestalt of invention.

[Drawing 12] The graph showing the write-in zone control at the time of the still display in the fourth operation gestalt of invention.

[Drawing 13] The graph showing the write-in zone control at the time of the still display in the fifth operation gestalt of invention.

[Drawing 14] The graph showing the write-in zone control at the time of the still display in the sixth operation gestalt of invention.

[Drawing 15] Drawing showing the outline of the motion prediction in MPEG 2.

[Drawing 16] Drawing showing the DS of an MPEG 2 coded image.

[Drawing 17] Drawing showing the structure of each header in MPEG 2 coded-image data.

[Drawing 18] The block diagram showing the configuration of the common decode and indicating equipment of an MPEG 2 coded image.

[Drawing 19] The block diagram showing the case where a still display is ordered from the exterior, in MPEG 2 decode and an indicating equipment.

[Drawing 20] The block diagram showing the case where detect failure of decode and a still display is performed in MPEG 2 decode and an indicating equipment.

[Description of Notations]

1 Decode Equipment

3 Decode and Display

5 Reception, Decode, and Display

10 Decoder

11 Header Analysis and Variable-length Sign Decoder (VLD)

12 Reverse Quantizer (IQ)

13 Discrete Cosine Inverse Transformation Machine (IDCT)

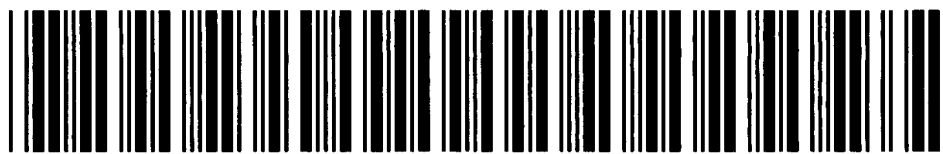
14 Adder

15 Data Bus

16 Memory I/F

17 Motion Compensation Circuit (MC)
18 Write-in Field Control Section
19 Rearrangement Read-out Section
20 Error Detection Section
30 Frame Memory
31 Frame Memory for Anchor Frames
32 Frame Memory for B Frames
33 ES Buffer
51 Antenna
52 Tuner
53 Demultiplexer
54 CPU
55 ROM
56 RAM
57 D/A Converter
58 Display
111 Start Code Detecting Element
112 Header Analysis Section
113 Variable-length Decode Section
181 Write-in Field Selection Section
182 Register

IDS REFERENCES



FOR